

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-251279

(43) 公開日 平成9年(1997)9月22日

(51) Int.Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

H

E

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号

特願平8-59164

(22) 出願日

平成8年(1996)3月15日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 高森 孝宏

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 荻谷 教治

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

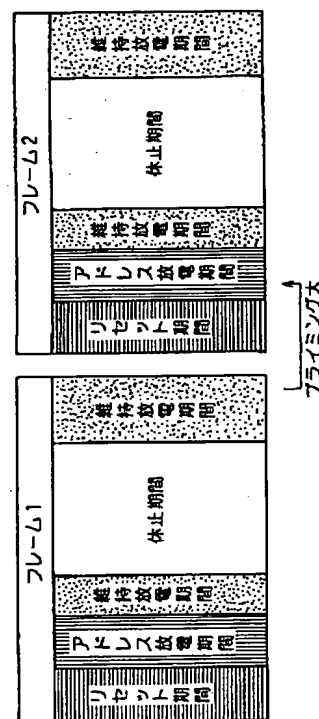
(54) 【発明の名称】 プラズマディスプレイ装置の駆動方法及びプラズマディスプレイ装置

(57) 【要約】

【課題】 アドレス放電不良の確率を低減して、表示品質を向上させることを目的とする。

【解決手段】 プラズマディスプレイパネル100と、複数のセルを表示データに対応した状態に設定するアドレス手段101, 102と、維持放電パルスを印加して発光させる維持放電手段103, 104と、全面書き込み及び全面自己消去を行うリセット手段と、駆動制御手段3とを備え、1画面の表示フレームを少なくとも1つのサブフレームで構成し、各サブフレーム毎に、アドレス手段による書き込みと、維持放電手段による維持放電パルスの印加と、書き込みの前にリセット手段による全面書き込み及び全面自己消去とを行い、1画面の表示フレーム毎に、外部からの垂直同期信号とのずれ分だけ休止状態に保持するプラズマディスプレイ装置において、休止状態を、維持放電パルス印加中に設ける。

本発明の駆動説明図



(2)

【特許請求の範囲】

【請求項 1】 1 画面の表示フレームを少なくとも 1 つのサブフレームで構成し、各サブフレームは、プラズマディスプレイパネル (100) の複数のセルを表示データに対応した状態に設定するアドレス工程と、前記複数のセルに維持放電パルスを印加し、前記複数のセルを設定された状態に応じて発光させる維持放電工程と、

前記アドレス工程の前に全面書き込み及び全面自己消去を行うリセット工程と、

前記 1 画面の表示フレーム毎に、外部から印加される垂直同期信号の指示する垂直同期期間から前記 1 画面の表示フレームを構成するサブフレームの期間の総和を差し引いた時間、前記複数のセルの状態を変化させないように、前記プラズマディスプレイパネル (100) に信号を印加しない状態を保持する休止工程とを備えるプラズマディスプレイ装置の駆動方法において、

前記休止工程は、いずれかのサブフレームの維持放電工程内に、当該サブフレームの維持放電工程を 2 つに分割するように設けられていることを特徴とするプラズマディスプレイ装置の駆動方法。

【請求項 2】 前記休止工程は、前記維持放電工程のもっとも長いサブフレーム内に設けられる請求項 1 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 3】 前記休止工程は、前記維持放電工程のもっとも長い前記サブフレーム内に、当該サブフレームの維持放電工程を 2 つに分割するように設けられ、分割された 2 つの維持放電工程の維持放電パルス数はゼロでない請求項 1 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 4】 前記休止工程により分割された前記維持放電工程のもっとも長い前記サブフレームの 2 つの維持放電工程の維持放電パルス数の和は、他のサブフレームの維持放電工程の維持放電パルス数に対して所定の比率である請求項 3 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 5】 前記休止工程により分割された前記維持放電工程のもっとも長い前記サブフレームの 2 つの維持放電工程の維持放電パルス数は、後の維持放電工程の維持放電パルス数の方が前の維持放電工程の維持放電パルス数より多い請求項 3 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 6】 前記アドレス工程において、前記複数のセルを表示データに対応した状態に設定するために印加されるアドレス放電パルスのパルス幅は、アドレス放電不良率に従って設定される請求項 1 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 7】 前記アドレス放電パルスのパルス幅は、 $8\mu s$ 以上である請求項 6 に記載のプラズマディスプレイ装置の駆動方法。

2

【請求項 8】 前記維持放電工程のもっとも長いサブフレームは、次に維持放電工程の長いサブフレームの次に配置される請求項 1 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 9】 前記維持放電工程のもっとも長いサブフレームは、次に維持放電工程の長いサブフレームの前に配置される請求項 1 に記載のプラズマディスプレイ装置の駆動方法。

【請求項 10】 選択的に放電発光を行う複数のセルを有するプラズマディスプレイパネル (100) と、前記複数のセルを表示データに対応した状態に設定するアドレス手段 (101、102) と、

前記複数のセルに維持放電パルスを印加し、前記複数のセルを設定された状態に応じて発光させる維持放電手段 (103、104) と、

全面書き込み及び全面自己消去を行うリセット手段と、前記アドレス手段 (101、102)、前記維持放電手段 (103、104)、及び前記リセット手段を制御する駆動制御手段 (3) とを備え、

1 画面の表示フレームを少なくとも 1 つのサブフレームで構成し、前記駆動制御手段 (3) は、各サブフレーム毎に、前記アドレス手段 (101、102) による前記複数のセルを表示データに対応した状態に設定する書き込みと、前記維持放電手段 (103、104) による前記維持放電パルスの印加と、前記書き込みの前に前記リセット手段による前記全面書き込み及び全面自己消去とを行うように制御し、前記 1 画面の表示フレーム毎に、外部から印加される垂直同期信号の指示する垂直同期期間から前記 1 画面の表示フレームを構成するサブフレームの期間の総和を差し引いた時間、前記複数のセルの状態を変化させないように前記プラズマディスプレイパネル (100) に信号を印加しない休止状態に保持するように制御するプラズマディスプレイ装置において、前記休止状態を、いずれかのサブフレームの維持放電工程内に、当該サブフレームの維持放電工程を 2 つに分割するように設けることを特徴とするプラズマディスプレイ装置。

【請求項 11】 前記休止状態は、前記維持放電手段により印加される前記維持放電パルス数のもっとも多いサブフレーム内に設けられる請求項 10 に記載のプラズマディスプレイ装置。

【請求項 12】 前記休止状態は、印加される前記維持放電パルス数のもっとも多い前記サブフレーム内に、前記維持放電パルス印加期間を 2 つに分割するように設けられ、分割された 2 つの維持放電パルス印加期間の維持放電パルス数はゼロでない請求項 10 に記載のプラズマディスプレイ装置。

【請求項 13】 前記休止状態により分割された印加される前記維持放電パルス数のもっとも多い前記サブフレームの 2 つの維持放電パルス印加期間の維持放電パルス数

(3)

3

の和は、他のサブフレームの維持放電パルス印加期間の維持放電パルス数に対して所定の比率である請求項12に記載のプラズマディスプレイ装置。

【請求項14】 前記休止状態により分割された印加される前記維持放電パルスのもっとも多い前記サブフレームの2つの維持放電パルス印加期間の維持放電パルス数は、後の維持放電パルス印加期間の維持放電パルス数の方が前の維持放電パルス印加期間の維持放電パルス数より多い請求項12に記載のプラズマディスプレイ装置。

【請求項15】 前記アドレス手段により、前記複数のセルを表示データに対応した状態に設定するために印加されるアドレス放電パルスのパルス幅は、アドレス放電不良率に従って設定される請求項10に記載のプラズマディスプレイ装置。

【請求項16】 前記アドレス放電パルスのパルス幅は、 $8\mu s$ 以上である請求項15に記載のプラズマディスプレイ装置。

【請求項17】 印加される前記維持放電パルスのもっとも多いサブフレームは、印加される前記維持放電パルスが次に多いサブフレームの次に配置される請求項10に記載のプラズマディスプレイ装置。

【請求項18】 印加される前記維持放電パルスのもっとも多いサブフレームは、印加される前記維持放電パルスが次に多いサブフレームの前に配置される請求項10に記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】近年、各種ディスプレイ装置においては、表示すべき情報や設置条件の多様化、大画面化及び高精細化が著しい。従って、これらに使用されるプラズマディスプレイパネル（以下、PDPと称する。）
CRT、LCD、EL、蛍光表示管、発光ダイオード等の表示装置においてはこれらの蛍光に対応すべく、表示品質の向上が求められている。

【0002】上記の表示装置のうち、PDPはちらつきが無い、大画面化が容易である、高輝度及び長寿命等の優れた特徴を有することから、最近盛んに開発が行われている。PDPには、2本の電極で選択放電（アドレス放電）及び維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型がある。階調表示を行うカラーPDPでは、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の2電極型では、蛍光体がイオンに直接当たる構成になっているため、蛍光体の寿命低下を招く恐れがある。これを回避するために、カラーPDPでは面放電を利用した3電極構造が一般に使用されている。更に、この3電極型においても、第3の電極を維持放電を行う第1と第2の電極が配置されている基板に形成する場合と、対向するもう一

4

つの基板に配置する場合がある。また、同一基板に前記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。更に、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合（透過型）と、蛍光体からの反射を見る場合（反射型）がある。また、放電を行うセルは、障壁（リブ、バリア）によって、隣接セルとの空間的な結合が断ち切られている。この障壁は、放電セルを取り囲むように四方に設けられ完全に密封されている場合と、一方のみに設けられ、他方は電極間のギャップ（距離）の適正化によって結合が切られている場合等がある。

【0003】本発明は、上記のいずれの方式のプラズマディスプレイパネル（Plasma Display Panel :PDP）にも適用可能である。

【0004】

【従来の技術】上記のように、本発明はいずれの構成にも適用可能であるが、ここでは、維持放電を行う電極の基板とは別な対向する基板に第3の電極を形成したパネルで、障壁が垂直方向（つまり、第1電極と第2電極に直交し、第3電極と平行）にのみ形成され、維持電極の一部が透明電極によって形成されている反射型を例として説明する。

【0005】上記の3電極・面放電のPDPとして、図11にその概略平面図を示すようなものが知られている。また、図12は、図11のパネルの一つの放電セルにおける概略的断面図（垂直方向）であり、図13は同様に水平方向の概略的断面図である。なお、以下に示す図においては、同一の機能部分には同一の参照番号を付与して表すこととする。

【0006】パネルは、2枚のガラス基板21、29によって構成されている。第1の基板21には、平行する維持電極である第1電極（X電極）12及び第2電極（Y電極）13を備えており、これらの電極は透明電極22a、22bとバス電極23a、23bによって構成されている。透明電極は蛍光体からの反射光を透過させる役割があるため、ITO（酸化インジウムを主成分とする透明な導体膜）等によって形成される。また、バス電極は、電気抵抗による電圧低下を防ぐため、低抵抗で形成する必要があり、Cr（クロム）やCu（銅）によって形成される。更に、それらを、誘電体層（ガラス）24で被覆し、放電面には保護膜としてMgO（酸化マグネシウム）膜25を形成する。また、第1のガラス基板21と向かい合う第2の基板29には、第3の電極（アドレス電極）13を、維持電極と直交する形で形成する。また、アドレス電極間には、障壁14を形成し、その障壁の間には、アドレス電極を覆う形で赤・緑・青の発光特性を有する蛍光体27を形成する。障壁14の尾根と、MgO面25が密着する形で2枚のガラス基板が組み立てられている。蛍光体27とMgO面25の間

(4)

5

の空間が放電空間26である。

【0007】また、図14は、図12から図14に示したPDPを駆動するための周辺回路を示した概略的ブロック図である。アドレス電極13-1、13-2、…は1本毎にアドレスドライバ101に接続され、そのアドレスドライバによってアドレス放電時のアドレスパルスが印加される。また、Y電極11-1、11-2、…はY電極ドライバ102に接続される。Y電極ドライバ102はY共通ドライバ103に接続されており、アドレス放電時のパルスはY電極ドライバ102から発生し、維持パルス等はY共通ドライバ103で発生し、Y電極ドライバ102を経由して、Y電極に印加される。X電極12はパネルの全表示ラインに亘って共通に接続され取り出される。X共通ドライバ104は、書き込みパルス、維持パルス等を発生する。これらのドライバ回路は、ロジック部1によって制御され、ロジック部1は、装置の外部より入力される同期信号や表示データ信号によって制御される。更に、高電圧や負電圧等の各種の電圧を発生する内部電源40を備えており、ロジック部1からの制御信号に基づいて、内部電源40で発生される各種電圧の各ドライバ回路への印加を制御する高压制御部41が設けられている。EPROM39は駆動波形のパターンと維持パルス数に関する情報を記憶するメモリで、ロジック部1はEPROM39に記憶されたデータを順次読み出して各種の制御信号を生成する。

【0008】ロジック部1は、表示データ制御回路部31とパネル駆動制御部34を備え、更に表示データ制御回路部31にはフレームメモリ部32とフレームメモリ制御回路部33とが設けられており、パネル駆動制御部34にはタイミング発生部35と、アドレスドライバ制御部36と、スキンドライバ37と、共通ドライバ制御部38とが設けられている。

【0009】PDPでの階調表示は、通常、表示データの各ビットをサブフレーム期間に対応させ、ビットの重み付けに応じてサブフレーム期間の長さを変えることにより行っている。例えば、256階調表示を行う場合には表示データは8ビットで表され、1フレームの表示を8個のサブフレーム期間で行い、各ビットデータの表示をそれぞれのサブフレーム期間で行う。サブフレーム期間の長さは、1:2:4:8:16:32:64:128になっている。外部から供給される表示データは、一般に各画素の階調データが連続した形式であり、そのままではサブフレームの形式に変化することができないため、外部から供給される表示データを一旦フレームメモリ32に記憶し、次のサイクルでサブフレームの形式に従って読み出されて、アドレスドライバ101に供給される。フレームメモリ制御回路部33はタイミング発生部35からのタイミング信号に基づいて、このような動作を制御する。アドレスドライバ制御部36と、スキンドライバ37と、共通ドライバ制御部38とは、EP

6

ROM39から読み出されたデータに基づいて、アドレスドライバ101と、スキンドライバ102とX及びY共通ドライバ103と104を制御する制御信号を生成する。アドレスドライバ制御部36と、スキンドライバ37と、共通ドライバ制御部38とから出力された制御信号は、高压制御部41のアドレス部42と、X部43と、Y部44に供給され、そこで内部電源40からの各種電圧を選択して、各ドライバ回路に印加される。

【0010】図15は、図11から図13に示すPDPを図14に示した回路によって駆動する従来の方法を示す波形図であり、いわゆる従来の「アドレス/維持放電期間分離型・書き込みアドレス方式」における1サブフレーム期間を示している。この例では、1サブフレームは、リセット期間とアドレス期間更に維持放電期間に分割される。リセット期間においては、まずすべてのY電極が0Vレベルにされ、同時に、X電極に電圧 $V_s + V_w$ （約330V）からなる全面書き込みパルスが印加され、それまでの表示状態にかかわらず全表示ラインの全セルで放電が行われる。この時のアドレス電極電位は、約100V（ V_{aw} ）である。次に、X電極とアドレス電極の電位が0Vとなり、全セルにおいて壁電荷自体の電圧が放電開始電圧を越え、放電が開始される。この放電は、電極間の電位差がないため、壁電荷が形成されることはなく、空間電荷は自己中和して放電が終息する。いわゆる、自己消去放電である。この自己消去放電によって、パネル内の全セルの状態が、壁電荷のない均一な状態になる。このリセット期間は、前のサブフレームの点灯状態にかかわらずすべてのセルを同じ状態にする作用があり、次のアドレス（書き込み）放電を安定に行うことができるようにするために行われる。

【0011】次に、アドレス期間において、表示データに応じたセルのオン/オフを行うために、線順次でアドレス放電が行われる。まず、Y電極に $-V_Y$ レベル（約マイナス150V）のスキャンパルスを印加すると共に、アドレス電極の内、維持放電を起こすセル、すなわち、点灯させるセルに対応するアドレス電極に電圧 V_a （約50V）のアドレスパルスが選択的に印加され、点灯させるセルのアドレス電極とY電極の間で放電が起きる。次に、これをプライミング（種火）としてX電極（電圧 $V_x = 50V$ ）とY電極間の放電に直ぐに移行する。前者の放電を「プライミングアドレス放電」、後者を「主アドレス放電」と称する。これにより、選択ラインの選択セルのX電極とY電極上のMgO面に維持放電が可能な量の壁電荷が蓄積する。

【0012】以下、順次他の表示ラインについても同様の動作が行われ、全表示ラインにおいて、新たな表示データの書き込みが行われる。その後、維持放電期間になると、Y電極とX電極に交互に電圧が V_s （約180V）である維持パルスが印加されて維持放電が行われ、1サブフレームの画像表示が行われる。この際、アドレ

(5)

7

ス電極とX電極又はY電極間での放電を避けるために、アドレス電極に約100Vの電圧 V_{aw} を印加している。なお、かかる「アドレス／維持放電分離型・書き込みアドレス方式」においては、維持放電期の長短、つまり、維持放電パルスの回数によって、輝度が決定される。

【0013】具体的には、多階調表示の一例として、256階調表示を行う場合の駆動方法を図16に示すこととする。この例では、1フレームは、4個のサブフレーム：SF1～SF4に区分される。そして、これらのサブフレームSF1～SF4においては、リセット期間とアドレス期間は、それぞれ同一の長さとなる。また、維持放電期間の長さは、1：2：4：8：16：32：64：128の比率となる。従って、点灯させるサブフレームを選択することで、0から15までの16階調の輝度の違いを表示できる。

【0014】表示できる階調の段階はサブフレームの個数により決定され、サブフレームが1個であれば2階調の輝度が、8個であれば256階調の輝度が表示できる。PDP装置に供給される表示信号は、CRT等にも供給されるのと同様の信号であり、垂直同期信号 V_{sync} と水平同期信号 H_{sync} 、及びドットクロックに同期したデータ信号である。PDP装置ではCRT等と同様に周期が所定の範囲の垂直同期信号 V_{sync} に対応できることが求められている。そこで、PDP装置では、図16に示すように、サブフレームの期間の総和を1フレームの期間より短くして各フレームに休止期間を設け、垂直同期信号 V_{sync} の周期変動に応じてこの*

8

* 休止期間の幅を変化させることにより垂直同期信号 V_{sync} の周期変動に対応できるようにしている。休止期間では、PDP装置の表示パネル100に信号が印加されず、直前の状態がそのまま保持される。そのため、休止期間が変動しても表示には影響しない。逆に休止期間は表示には寄与しない期間であるから、できるだけ短いことが望ましく、垂直同期信号 V_{sync} の周期変動に対応できる範囲でできるだけ短く設定される。

【0015】

【発明が解決しようとする課題】PDP装置では、アドレス放電をプライミングとして維持放電を行うが、アドレス放電の前に維持放電が行われたかどうかでアドレス放電が正常に行われない不具合の生じる確率、すなわち、アドレス放電不良確率が変化する。例えば、上記のように、PDP装置では、階調表示を行うために1画面を形成する1フレームがそれぞれ維持放電期間の異なる数個のサブフレーム（以下、SFと称する。）によって構成されているが、それまでのSFで点灯されていなかったセルを選択・点灯させる場合には、その前のSFから連続して点灯していたセルを選択・点灯させる場合に比べて、アドレス放電不良確率が高くなる。これは前の維持放電がプライミングに影響するためである。

【0016】表1は、点灯の維持放電が行われてからの時間がアドレス放電不良確率にどのように影響するかを示す表である。

【0017】

【表1】

表1 前SFからの時間的プライミングの影響とアドレス放電不良確率

パターン	SF順（1フレーム内） （○印は点灯SF）						SF6の アドレス放電 発光強度	SF6の アドレス放電 不良確率
a	SF4	SF2	SF1	SF3	SF⑤	SF⑥	4	小 ↑ ↓ 大
b	SF4	SF2	SF⑤	SF3	SF1	SF⑥	3	
c	SF⑤	SF2	SF1	SF4	SF3	SF⑥	2	
d	SF4	SF2	SF1	SF3	SF5	SF⑥	2	

【0018】表1は、もっとも維持放電期間の長いSF6でのアドレス放電不良確率の変化を示す。SF6は各フレームの最後に配置され、前の維持放電期間の長さを同一にするため、SF5のみを点灯してSF1～SF4は消灯し、SF5を配置する位置を、パターンaではSF6の直前に、パターンbではSF6との間にSF1とSF3を配置し、パターンcではSF6との間にSF1～SF4を配置する。更にパターンdではそのフレームのSF6以外のSFをすべて消灯する。従って、SF6

で選択・点灯されるまでの非点灯の期間は、パターンa、b、c、dの順になる。これに応じて、SF6のアドレス放電の発光強度は表1のように変化する。アドレス放電不良確率はパターンa、b、c、dの順で増加する。すなわち、その前に行われた維持放電からの時間が長くなるほど、アドレス放電の発光強度は低下し、アドレス放電不良確率が増加すると言える。

【0019】従って、多階調表示として6個のSFを設けた場合、SF6とその前のSF5を点灯させた時、S

(6)

9

F 5がSF 6から時間的に遠ざかるにつれてSF 5の維持放電によるプライミング効果がSF 6のアドレス放電に十分に与えられず、アドレス放電不良となる確率が高くなる。アドレス放電不良となると、点灯セルが点滅する等の正常に表示しなくなる不具合が発生する。

【0020】表1では、点灯の維持放電が行われてからの時間がアドレス放電不良確率にどのように影響するか*

10

*を示したが、点灯の維持放電が行われてからの時間が同じであっても、その維持放電期間の長さがアドレス放電不良確率に影響する。表2は、前の維持放電期間の長さがアドレス放電不良確率にどのように影響するかを示した表である。

【0021】

【表2】

表2 前SFの維持放電パルス数によるプライミングの影響とアドレス放電不良確率

パターン	SF順(1フレーム内) 〔○印は点灯SF〕						SF 6の 7Flx放電 発光強度	SF 6の 7Flx放電 不良確率
	SF 4	SF 2	SF 1	SF 3	SF ⑤	SF ⑥		
e					○	○	4	小 ↑ ↓ 大
f	○				○	○	3	
g			○			○	2	
h	○				○	○	2	

【0022】表2も、もっとも維持放電期間の長いSF 6でのアドレス放電不良確率の変化を示す。SF 6は各フレームの最後に配置され、パターンeではその直前にSF 5を配置してSF 5のみを点灯し、パターンfではその直前にSF 3を配置してSF 3のみを点灯し、パターンgではその直前にSF 1を配置してSF 1のみを点灯し、パターンhではすべてのSFを消灯する。従って、SF 6で選択・点灯されるまでの非点灯の期間は同じであり、その前に点灯される維持放電期間の長さが、パターンe、f、g、hの順になる。これに応じて、SF 6のアドレス放電の発光強度は表2のように変化し、アドレス放電不良確率はパターンa、b、c、dの順で増加する。すなわち、直前に行われる維持放電の期間が短くなるほどアドレス放電の発光強度は低下し、アドレス放電不良確率が増加するといえる。

【0023】従って、多階調表示として6個のSFを設けた場合、SF 6とその前のSFを点灯させた時、直前のSFの維持放電パルス数が少なくなるにつれて、直前のSFの維持放電によるプライミング効果がSF 6のアドレス放電に十分に与えられず、アドレス放電不良となる確率が高くなる。図16に示したように、1フレーム内には、同期を調整するための休止期間が設けられているが、この休止期間が各SFのアドレス放電不良確率に与える影響について考えてみる。

【0024】図17は、サブフレームが1個の場合に、前のフレーム(フレーム1)での維持放電期間が終了してから次のフレーム(フレーム2)のアドレス放電期間までの時間を示す図である。図示のように、フレーム1での維持放電期間が終了してからフレーム2のアドレス放電期間までの時間には、休止期間が含まれ、その分だ

け維持放電期間が終了してからアドレス放電期間までの時間が長くなることが分かる。

【0025】1フレームが複数のサブフレームで構成されている場合、このようなアドレス放電不良の影響がもっとも大きくなるのは、維持放電期間がもっとも長いサブフレームであり、特に維持放電期間がもっとも長いサブフレームでのアドレス放電不良の確率を低減する必要がある。本発明は、上記問題点に鑑みてなされたものであり、アドレス放電不良の確率、特に維持放電期間がもっとも長いサブフレームでのアドレス放電不良の確率を低減して、表示品質を向上させることを目的とする。

【0026】

【課題を解決するための手段】図1は、本発明の原理を説明する図である。図1に示すように、本発明のプラズマディスプレイ装置の駆動方法及びプラズマディスプレイ装置においては、1画面の表示フレームを少なくとも1つのサブフレームで構成し、同期を調整するための休止期間を維持放電期間内に設けることを特徴とする。図1では1画面の表示フレームが1個のサブフレームで構成されている場合を示しており、サブフレームは1画面の表示フレームに相当する。図1で、フレーム1とフレーム2はそれぞれ連続した2個の表示フレームを表す。

【0027】すなわち、本発明の第1の態様のプラズマディスプレイ装置の駆動方法は、1画面の表示フレームを少なくとも1つのサブフレームで構成し、各サブフレームは、プラズマディスプレイパネルの複数のセルを表示データに対応した状態に設定するアドレス工程と、複数のセルに維持放電パルスを印加し、複数のセルを設定された状態に応じて発光させる維持放電工程と、アドレス工程の前に全面書き込み及び全面自己消去を行うリセ

(7)

11

ット工程とを備え、1画面の表示フレーム毎に、外部から印加される垂直同期信号の指示する垂直同期期間から1画面の表示フレームを構成するサブフレームの期間の総和を差し引いた時間、複数のセルの状態を変化させないようにプラズマディスプレイパネルに信号を印加しない状態を保持する休止工程とを備えるプラズマディスプレイ装置の駆動方法において、休止工程は、いずれかのサブフレームの維持放電工程内に設けられていることを特徴とする。

【0028】休止工程を設けるサブフレームは、もっとも長い維持放電工程を有するサブフレームであることが望ましい。休止工程は、維持放電工程のもっとも長いサブフレーム内に、サブフレームの維持放電工程を2つに分割するように設けられ、分割された2つの維持放電工程の維持放電パルス数はゼロでないようにする。

【0029】休止工程により分割された維持放電工程のもっとも長いサブフレームの2つの維持放電工程の維持放電パルス数の和は、他のサブフレームの維持放電工程の維持放電パルス数に対して所定の比率である。休止工程により分割された維持放電工程のもっとも長いサブフレームの2つの維持放電工程の維持放電パルス数は、後の維持放電工程の維持放電パルス数の方が前の維持放電工程の維持放電パルス数より多いように設定する。

【0030】アドレス工程において、複数のセルを表示データに対応した状態に設定するために印加されるアドレス放電パルスのパルス幅は、アドレス放電不良率に従って設定される。アドレス放電パルスのパルス幅は、8 μ s以上である。維持放電工程のもっとも長いサブフレームは、次に維持放電工程の長いサブフレームの次に配置する。

【0031】維持放電工程のもっとも長いサブフレームは、次に維持放電工程の長いサブフレームの前に配置する。図17の従来例と比較して明らかなように、本発明のプラズマディスプレイ装置の駆動方法及びプラズマディスプレイ装置においては、図1に示すように、維持放電期間中に休止期間を設ける。維持放電が次に行われるアドレス放電に与えるブライミングの影響は、その維持放電からアドレス放電までの時間が短いほど強くなり、アドレス放電不良が軽減できる。長い休止期間を有する駆動シーケンスの場合、図17のような従来例では、維持放電期間とアドレス放電期間の間隔が休止期間により無くなるため、ブライミング効果が弱くなる。これに対して、本発明の駆動方法及び装置では、維持放電期間中に休止期間を設けるため、休止期間は維持放電期間が終了してから次のアドレス期間までの時間に影響せず、維持放電期間とアドレス放電期間の間隔がその分短くなる。従って、前の維持放電による次のアドレス放電に対するブライミング効果が大きくなり、アドレス放電不良が防止又は軽減される。休止期間が設けられる維持放電期間では放電が中断されるが、休止期間が放電不良を引

12

き起こすことはない。

【0032】

【発明の実施の形態】本発明の実施例のPDP装置は、図14に示した構成に類似した構成を有し、パネル駆動制御部34の構成のみが異なるので、従来と同じ部分については簡単に説明する。本実施例における駆動波形に関する情報は、すべて書換え可能メモリ（EPROM）39に記憶されている。記憶されている情報は、駆動波形を示す情報と、維持放電パルス数を示す情報である。記憶容量を削減するため、同じ波形が繰り返される部分（アドレスパルスと維持放電パルス）では同じ駆動波形を示すデータを繰り返し読み出すようにしている。

【0033】Vsyncのトリガ信号がパネル駆動制御部34に入力されると、パネル駆動制御部34はROM39のデータを読み出しを開始する。パネル駆動制御部34のアドレスドライバ制御部36、スキンドライバ制御部37、共通ドライバ制御部38は、ROM39のデータに従って制御信号を生成し、高圧制御部41に出力する。高圧制御部41には内部電源40から駆動に必要な各種電圧が供給され、制御信号に従って内部に設けられた高圧パルスの出力ドライバの制御を行う。ここから出力される高圧パルスが各ドライバに供給される。

【0034】図2は、第1実施例におけるパネル駆動制御部34の構成を示すブロック図であり、図3は第1実施例における休止期間の配置を示す。図3に示すように、第1実施例ではサブフレームは1個である。図2において、Yカウンタ52と、比較回路53と、Y電極数レジスタ54はアドレス期間において所定数のアドレスパルスを発生するために、波形ROM39の同じ部分を所定数だけ繰り返し読み出したことを検出する部分である。アップカウンタ55と、比較回路56と、維持放電波数レジスタ57は2つに分けたうちの前半の維持放電期間において所定数の維持放電パルスを発生するために、波形ROM39の同じ部分を所定数だけ繰り返し読み出したことを検出する部分である。同様に、アップカウンタ58と、比較回路59と、維持放電波数レジスタ57は2つに分けたうちの後半の維持放電期間において所定数の維持放電パルスを発生するために、波形ROM39の同じ部分を所定数だけ繰り返し読み出したことを検出する部分である。休止期間制御回路61は休止期間を制御する部分である。

【0035】Yカウンタ52は、リセット信号を受けることによりゼロにクリアされる。Yカウンタ52は、その時点のスキャンラインをカウントし、そのカウント結果を比較回路53へ出力する。比較回路53では、Yカウンタ52からの入力値と、Y電極数レジスタ54に記憶されたあらかじめ設定されたY電極数とを比較し、両者が等しくなれば波形ROM制御回路51に対してアドレス期間の終了信号を出力する。

【0036】次に、維持放電期間の前半部分に入ると、

(8)

13

アップカウンタ 55 はリセット信号を受けることによりゼロにクリアされる。アップカウンタ 55 は、その時点の維持放電波数をカウントし、そのカウント結果を比較回路 56 へ出力する。比較回路 56 では、アップカウンタ 55 からの入力値と、維持放電波数レジスタ 57 に記憶されたあらかじめ設定された前半部分の維持放電波数とを比較し、両者が等しくなれば波形 ROM 制御回路 51 に対して維持放電期間の前半部の終了信号を出力する。

【0037】休止期間に入ると、タイミング発生部から休止期間制御回路 61 にリセット信号が入り、休止期間制御回路 61 は波形 ROM 制御回路 51 に対し休止期間を示す信号を出力する。Vsync が休止期間制御回路 61 に入力されると、休止期間制御回路 61 は休止期間を示す信号の出力を停止し、これにより休止期間は終了する。

【0038】最後に後半の維持放電期間に入ると前半の維持放電期間と同様の制御が行われる。ここで、図 17 に示した従来の駆動方法と比較してみる。従来の駆動方法では、Vsync のトリガ信号がくると同時に、全面書き込み及び消去、アドレス放電、維持放電をおこなった後、次の Vsync がくるまで駆動波形を出力しない休止期間が挿入されている。

【0039】これに対して、図 3 の本実施例の維持放電期間では、Vsync のトリガ信号がくると同時に前の SF の後半の維持放電 $\alpha 2$ を行い、次に全面書き込み及び消去、アドレス放電を行い、更に前半の維持放電 $\alpha 1$ を行った後で、駆動シーケンスを一旦停止させ、休止期間へと入り、次の Vsync がきた時点で残しておいた後半の維持放電 $\alpha 2$ を行う。ここで、 $\alpha 1 + \alpha 2$ は従来の維持放電期間と同じ長さである。従って、休止期間の長さは Vsync の周期によって変化し、異なる周期の Vsync に対して同期を調整するための働きを従来と同様に行う。

【0040】第 1 実施例では、サブフレームの個数は 1 個であったが、第 2 実施例では複数のサブフレームがある場合の例を示す。第 2 実施例では、第 1 実施例と同様に図 2 の回路が使用され、更に図 4 に示した 1 フレーム内のサブフレームの個数を制御する回路が更に設けられている。また、図 5 は第 2 実施例における休止期間の配置を示す図である。図 5 に示すように、維持放電期間に休止期間が挿入されるサブフレームは最後のサブフレームである。

【0041】第 2 実施例における各サブフレームでの動作は、基本的には第 1 実施例と同様であり、休止期間を維持放電期間内に挿入する SF においては休止期間に入る時に休止期間制御回路 61 を動作させるが、休止期間を維持放電期間中に挿入しない SF では休止期間制御回路 61 を動作させない点が異なる。また、図 4 に示した回路では、Vsync が入力されると、SF カウンタ 7

14

1 がクリアされ、SF カウンタ 71 はサブフレームのカウントを開始する。SF カウンタ 71 のカウント値は比較回路 72 に出力され、SF 数レジスタ 73 に記憶された 1 フレームを構成するサブフレーム数と比較される。SF カウンタ 71 が 1 フレームを構成するサブフレーム数をカウントし、2 つの値が一致すると、比較回路 72 はフレームが終了したことを示すフレーム終了信号を出力する。

【0042】図 5 に示すように、第 2 実施例でも Vsync のトリガ信号がくると同時に前の SF の後半の維持放電 $\alpha 2$ を行う。従って、休止期間の長さは Vsync の周期によって変化し、異なる周期の Vsync に対して同期を調整するための働きを従来と同様に行う。この場合も、 $\alpha 1 + \alpha 2$ は SF n の従来の維持放電期間に等しい。

【0043】1 フレームが複数のサブフレームで構成される場合、休止期間を挿入するサブフレームはフレームの最終のサブフレームである必要はない。そこで、最終のサブフレーム以外のサブフレームに休止期間を挿入する例を第 3 実施例に示す。第 3 実施例では、第 1 実施例と同様に図 2 及び図 4 の回路が使用され、更に図 6 に示した休止期間制御回路が使用される。また、図 7 は第 3 実施例における休止期間の配置を示す図である。

【0044】図 7 に示すように、第 3 実施例では、中間の SF の SF (n-k) 以外の SF では全面書き込み及び消去、アドレス放電、維持放電を順次行う。中間の SF (n-k) においてのみ、前半維持放電 $\alpha 1$ を行った時点で休止期間へと入り、次に残しておいた後半の維持放電 $\alpha 2$ を行う。図 2 及び図 4 の回路による動作は同じなので、ここでは説明を省略する。

【0045】図 6 の回路の動作を、1 フレームが 4 個のサブフレームで構成され、4 個のサブフレームは輝度の大きい順（維持放電期間の長い順）に SF 4、SF 3、SF 2、SF 1 とした場合について説明する。Vsync が入力され、SF 1 からこれまで説明したような動作が開始される。全 SF についての動作が終了したら、休止期間 a に入る。そして休止カウンタ 81 を動作させて休止期間をカウントする。再び Vsync が入力された時点で休止カウンタ 81 の値 N をレジスタ 82 に記憶する。この時点では補正しないため、N がそのまま比較器 83 に入力される。

【0046】それと同時に次のフレームの SF 1 の駆動を開始し、SF 2 の駆動も同様に行う。そして休止期間を挿入する SF 3 では、あらかじめ定められた前半維持放電波数の維持放電を行う。その後休止期間 b に入る。そして休止カウンタ 85 において休止期間をカウントする。その値が比較器 A に入力され、加減算回路 83 から入力される値 N に等しくなれば、比較器 84 から ROM 制御回路 51 に休止期間終了信号が出力され、SF 3 の後半の維持放電が実行される。

(9)

15

【0047】SF4の最後の維持放電が終了するのとは同時に次のVsyncが入る予定である。この予定にずれがなければそのまま動作を行うが、SF4の最後の維持放電が終了する時点とVsyncがずれた場合には、現状の休止期間ではVsyncの周期とずれが生じるので以下の動作を行う。SF4の最後の維持放電終了後、Vsyncが入るまでVsyncカウンタ86によって図示のaの期間をカウントする。一方Vsyncが入ったにもかかわらず、駆動波形が終了しない場合、駆動カウンタ87によって図示のbの期間をカウントする。この両者aとbの値はVsyncが変動した時のずれに相当するので、比較器88を経由してそのずれ分が加減算回路83に入力される。始めにカウントした休止期間の長さNに対して補正された値として、 $N \pm L$ が比較器84に入力され、この値を基に次のVsyncにおいて更に休止期間が決定される。このように、Vsyncとのずれが生じた場合においても休止期間bの長さを保ちながら動作させることが可能である。

【0048】以上説明したように、第1から第3実施例では、前の維持放電から次のアドレス放電までの期間に休止期間が加算されることがなくなるため、この期間を短縮でき、前のSFの維持放電がアドレス放電に与えるプライミング効果を大きくすることができる。多階調表示を行う場合には、維持放電期間の長さの比率は1:2:4:…と一定の比率になるように維持放電波形数を定めており、維持放電波形数の違いで異なる階調の輝度を表現するため、正確な階調表示を行うためには、たとえば維持放電期間中に休止期間を挿入した場合でも、分割された維持放電波形数の総和は分割前後で等しくなければならない。従って、休止期間によって分割される2つの維持放電期間の維持放電波形数 $\alpha 1$ と $\alpha 2$ の総和は分割前の維持放電期間の維持放電波形数 α に等しい。

【0049】上記の分割された維持放電期間の後半の維持放電波形数 $\alpha 2$ は、次のアドレス放電へのプライミング効果を与えることになるので、このプライミング効果を大きくするためには、 $\alpha 2$ できるだけ大きいほうがよい。すなわち、 $\alpha 1 < \alpha 2$ となるように設定することが望ましい。しかし、前半の維持放電波形数 $\alpha 1$ をまったくゼロにすると、アドレス放電後に休止期間に入り、アドレス放電から維持放電までの時間が長くなるため、アドレス放電が維持放電に与えるプライミング効果が弱まり、正常に維持放電ができない恐れがあるため、前半の維持放電波形数 $\alpha 1$ をゼロにすることは望ましくない。

【0050】以上のように、同期調整のための休止期間を維持放電期間内に設定すると、休止期間がプライミング効果を損なうことがなく、アドレス放電不良確率が低減できるが、アドレス放電不良確率は他の要因によっても影響される。要因の1つはアドレス放電パルス幅である。図8は、アドレス放電パルス幅とアドレス放電不良確率との関係を示す図である。図から明らかなように、

16

アドレス放電パルス幅が大きくなるにつれてアドレス放電不良確率が小さくなっていることが分かる。そして、アドレス放電パルス幅が一定の値、図8ではTsを越えようとアドレス放電不良確率がほぼ一定の値になり飽和することが分かる。従って、維持放電期間中に休止期間を設けるプラズマディスプレイ装置の駆動方法を行う場合も、アドレス放電パルス幅をアドレス放電不良確率を考慮した十分な値Tsに設定することにより、アドレス放電不良確率を軽減することができる。

【0051】1フレーム内に複数個のSFを設ける場合、アドレス放電不良による視覚的表示品質の低下が一番目立つのは最大輝度を有するSFである。従って、最大輝度(最長の維持放電期間)を有するSFのアドレス放電を選択・点灯するのに十分な放電を引き起こすためには、その前のSFの維持放電ができるだけ強いこと、すなわち維持放電パルス数の多いSFであることが望ましい。そこで、表2の例でも明らかなように最大輝度を有するSFの直前には最大輝度の次に輝度の大きなSF、すなわちプライミング効果の大きなSFを設けることにより、最大輝度を有するSFのアドレス放電発光強度が強くなり、アドレス放電不良による視覚的表示品質の低下を軽減できる。

【0052】上記の配置は、維持放電期間中に休止期間を配置する場合にも有効である。図9は、第4実施例における休止期間の配置を示す図である。図9に示すように、第4実施例では、最長の維持放電期間を有するSF6の前に次に維持放電期間の長いSF5を配置し、SF6の維持放電期間に休止期間を設ける。これにより、比較的大きなSF5の維持放電期間によるプライミング効果が表示品質への寄与の大きなSF6のアドレス放電不良を低減するため、表示品質を向上できる。

【0053】また、図10は、第5実施例における休止期間の配置を示す図である。第5実施例では、最長の維持放電期間を有するSF6の後に次に維持放電期間の長いSF5を配置し、SF6の維持放電期間に休止期間を設ける。表示品質を向上させるには、最大輝度のSFだけでなく比較的大きな輝度を有するSFについてもアドレス放電不良を低減する必要があり、第5実施例では最大輝度のSFのプライミング効果を有効に活用して次に輝度の大きなSFのアドレス放電不良による視覚的表示品質の低下を低減している。

【0054】

【発明の効果】従来は同期調整用に設けられた休止期間が前のサブフレームの維持放電から次のサブフレームのアドレス放電までの時間を長くしていたためにアドレス放電不良を十分に低くすることが難しかったが、本発明によれば休止期間が前のサブフレームの維持放電から次のサブフレームのアドレス放電までの時間に影響しないため、アドレス放電不良を防止又は軽減することができ、PDP装置の表示品質を向上させることができる。

(10)

17

また、本発明はサブフレーム数が少なく、休止期間が長いPDP装置ほど特に効果的である。しかも本発明は、駆動波形を記憶したROMの内容の変更とパネル駆動制御部の若干の変更のみで行うことができるので、従来例に対するコストの増加はほとんどないといえる。

【図面の簡単な説明】

【図1】本発明の原理を説明する図である。

【図2】第1実施例のパネル駆動制御部の一部（サブフレーム内制御）を示すブロック構成図である。

【図3】第1実施例の休止期間の配置を示す図である。

【図4】第2実施例のパネル駆動制御部の一部（サブフレーム数制御）を示す図である。

【図5】第2実施例の休止期間の配置を示す図である。

【図6】第3実施例の休止期間制御回路の構成を示す図である。

【図7】第3実施例の休止期間の配置を示す図である。

【図8】アドレス放電パルス幅とアドレス放電不良率との関係を示す図である。

【図9】第4実施例における最長サブフレームの配置を示す図である。

【図10】第5実施例における最長サブフレームの配置を示す図である。

【図11】3電極・面放電方式カラープラズマディスプレイの概略平面図である。

【図12】3電極・面放電方式カラープラズマディスプレイの概略断面図である。

【図13】3電極・面放電方式カラープラズマディスブ

18

レイのもう一方の概略断面図である。

【図14】3電極・AC型プラズマディスプレイを駆動するための周辺回路のブロック構成図である。

【図15】プラズマディスプレイ装置の従来の駆動波形を示すタイムチャートである。

【図16】サブフレーム構成を示す図である。

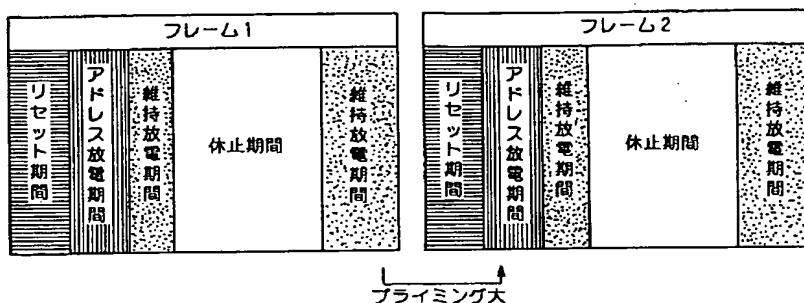
【図17】休止期間配置の従来例を示す図である。

【符号の説明】

- 30…ロジック部
- 31…表示データ制御回路部
- 32…フレームメモリ部
- 33…フレームメモリ制御回路部
- 34…パネル駆動制御部
- 35…タイミング発生部
- 36…アドレスドライバ制御部
- 37…スキャンドライバ制御部
- 38…共通ドライバ制御部
- 39…EPROM
- 40…電源回路
- 41…高圧制御部
- 61…休止期間制御回路
- 100…プラズマディスプレイパネル
- 101…アドレスドライバ
- 102…Yスキャンドライバ
- 103…Yドライバ
- 104…Xドライバ

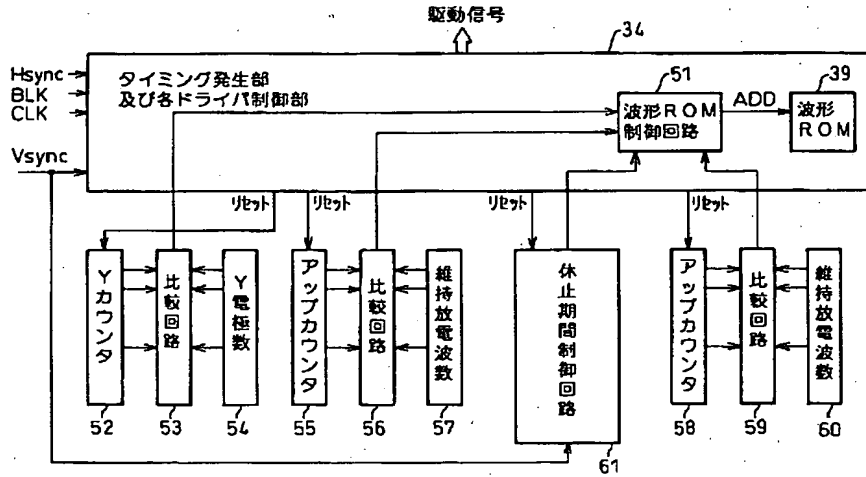
【図1】

本発明の原理説明図



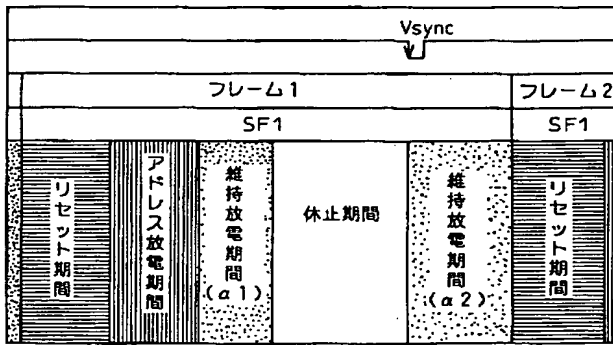
(11)

【図2】

第1実施例のパネル駆動制御の一部のブロック構成
(サブフレーム内制御)

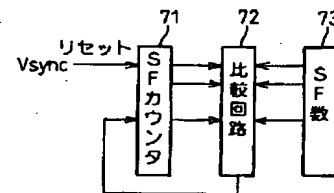
【図3】

第1実施例の休止期間の配置 (単一サブフレーム)



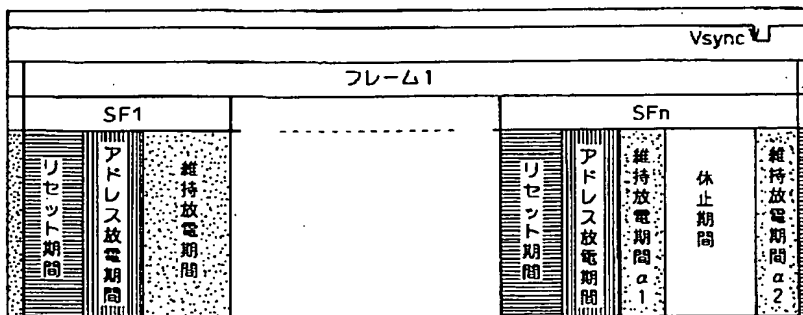
【図4】

第2実施例のパネル駆動制御の一部 (サブフレーム数制御)



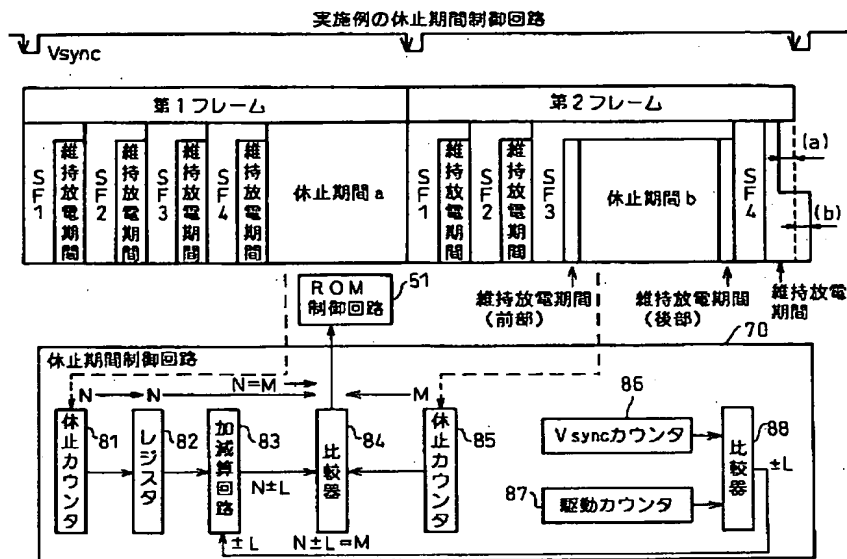
【図5】

第2実施例の休止期間の配置 (複数サブフレーム)



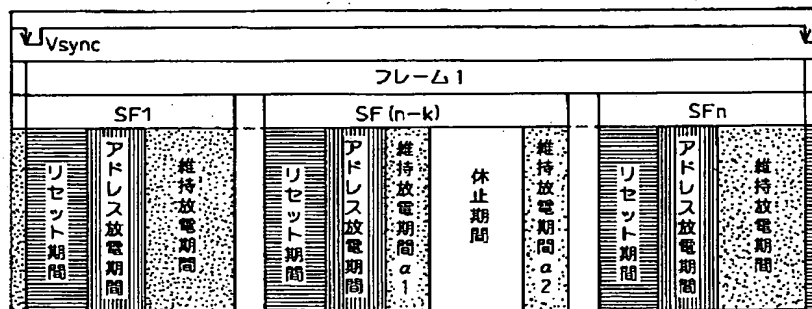
(12)

【図 6】



【図 7】

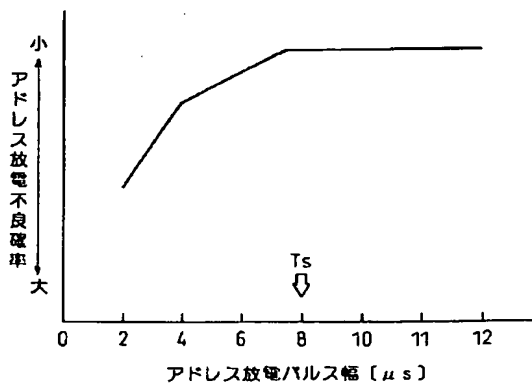
第 3 実施例の休止期間の配置



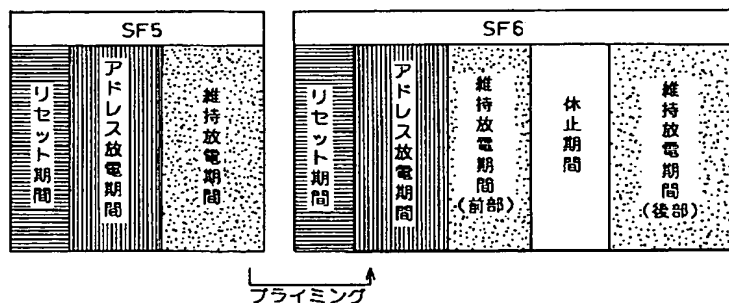
【図 8】

【図 9】

アドレス放電パルス幅とアドレス放電不良確率との関係



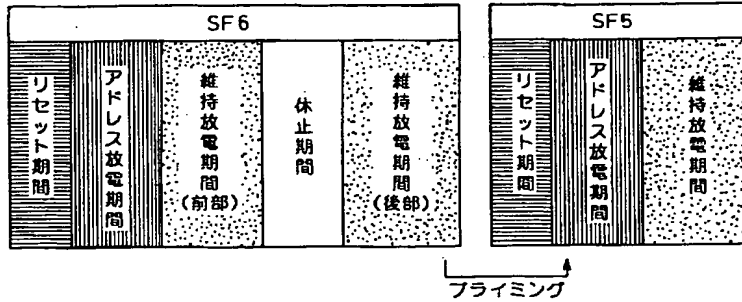
最大長サブフレームの配置例 (その 1)



(13)

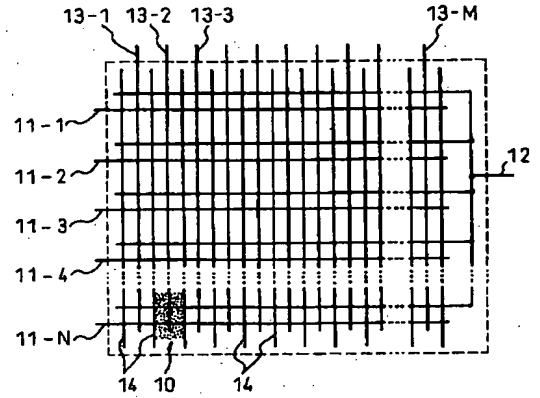
【図10】

最大長サブフレームの配置例(その2)



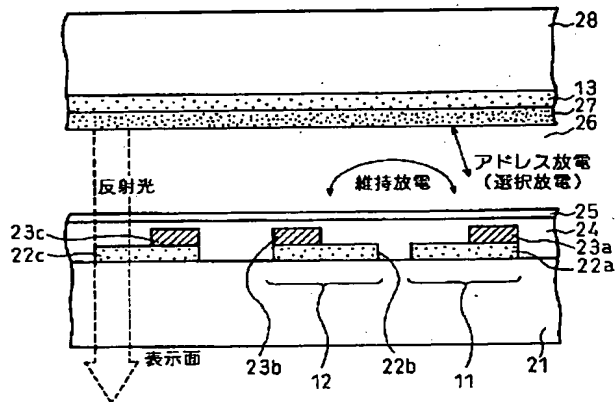
【図11】

3電極・面放電・AC型PDPの概略平面図



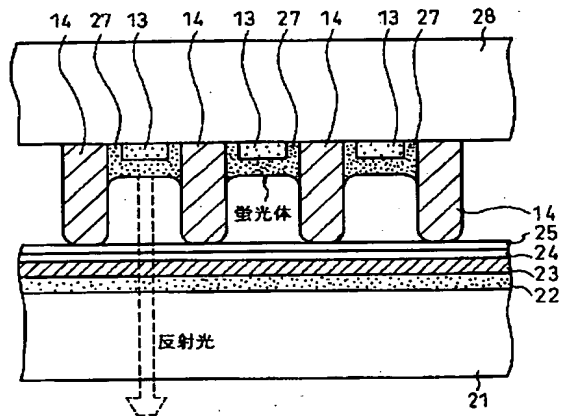
【図12】

3電極・面放電・AC型PDPの概略断面図



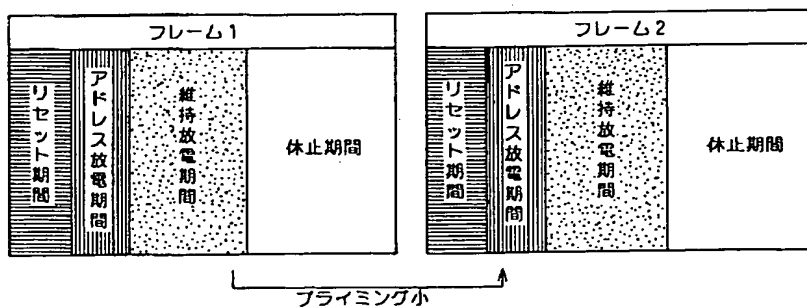
【図13】

3電極・面放電・AC型PDPの概略断面図



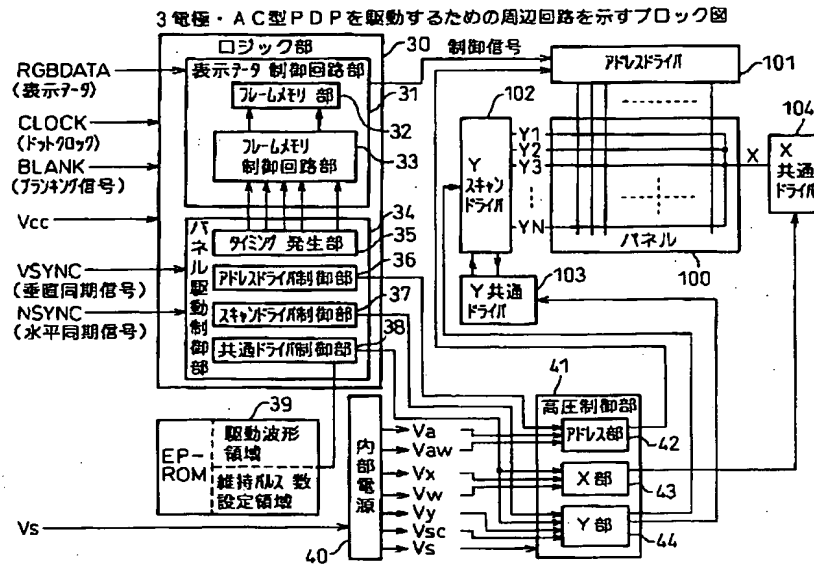
【図17】

休止期間配置の従来例

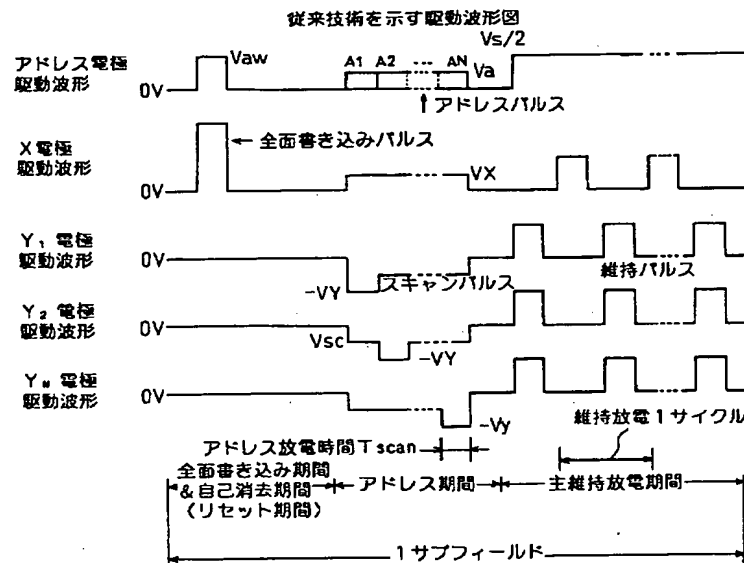


(14)

【図14】



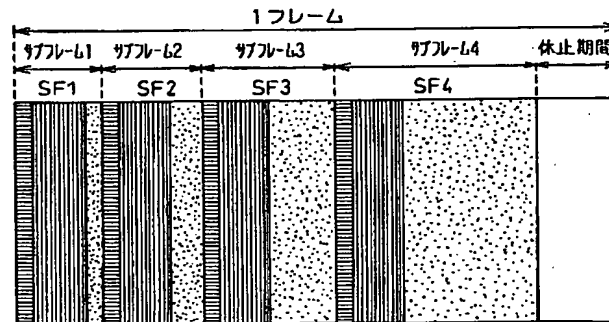
【図15】







(15)

【図 16】

サブフレーム構成



-  リセット期間 *全画面同時に書き込み放電と消去放電を行う。
-  アドレス期間 *線順次での書き込み放電アドレスにより1ライン毎に、表示セルの選択を行う。
-  維持放電期間 *維持放電のみを行う。
(各サブフィールドの維持放電の回数比は、
1 : 2 : 4 : 8となっている。)
-  休止期間 *駆動波形を出力しない期間(全電極OV)

フロントページの続き

(72) 発明者 松井 直紀
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 金澤 義一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 長岡 慶真
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-251279

(43)Date of publication of application : 22.09.1997

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-059164

(71)Applicant : FUJITSU LTD

(22)Date of filing : 15.03.1996

(72)Inventor : TAKAMORI TAKAHIRO

KARIYA NORIJI

MATSUI NAOKI

KANAZAWA GIICHI

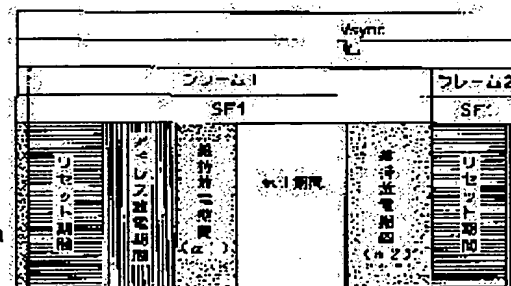
NAGAOKA YOSHIMASA

(54) DRIVING METHOD OF PLASMA DISPLAY DEVICE AND THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the probability of a failure in an address discharge and to improve display quality by making a display frame for a picture composed of at least one subframe and providing a dormant period for adjusting synchronization, in a maintenance discharge period.

SOLUTION: A dormant process is provided to divide the maintenance discharge process of the subframe into two, in the subframe whose maintenance discharge process is longest. In the maintenance discharge period, the second half of the previous subframe has a maintenance discharge $\alpha 2$, at the same time when a trigger signal of Vsync comes. Then, full surface writing and delation and an address discharge are executed and further, the first half has a maintenance discharge $\alpha 1$. After that, a driving sequence is temporarily stopped to put it into the dormant period. When the next Vsync comes, the left second half has the maintenance discharge $\alpha 2$. At this time, $(\alpha 1 + \alpha 2)$ is the same length as a conventional maintenance discharge period. Therefore, the length of the dormant period is changed by the period of the Vsync, to obtain the working of adjusting the synchronization, with respect to the Vsync having a different period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the address process which sets the cell of the plurality [constitute the display frame of one screen from at least one subframe, and / subframe / each] of a plasma display panel (100) as the state corresponding to the indicative data. The maintenance electric discharge process made to emit light according to the state where impressed the maintenance electric discharge pulse to two or more aforementioned cells, and two or more aforementioned cells were set up The reset process which performs complete writing and whole surface self-elimination before the aforementioned address process The pause process which holds the state where a signal is not impressed to the aforementioned plasma display panel (100) so that the state of the time which deducted total of the period of the subframe which constitutes the display frame of the one aforementioned screen from a vertical-synchronization period which the vertical synchronizing signal impressed from the outside directs, and two or more aforementioned cells may not be changed for every display frame of the one aforementioned screen It is the drive method of plasma display equipment equipped with the above, and the aforementioned pause process is characterized by being prepared in the maintenance electric discharge process of one of subframes, so that the maintenance electric discharge process of the subframe concerned may be divided into two.

[Claim 2] The aforementioned pause process is the drive method of plasma display equipment according to claim 1 established in the longest subframe of the aforementioned maintenance electric discharge process.

[Claim 3] The maintenance electric discharge pulse number of two maintenance electric discharge processes established and divided so that the aforementioned pause process might divide the maintenance electric discharge process of the subframe concerned into two in the aforementioned longest subframe of the aforementioned maintenance electric discharge process is the drive method of the plasma display equipment according to claim 1 which is not zero.

[Claim 4] The sum of the maintenance electric discharge pulse number of two maintenance electric discharge processes of the aforementioned longest subframe of the aforementioned maintenance electric discharge process divided according to the aforementioned pause process is the drive method of the plasma display equipment according to claim 3 which is a predetermined ratio to the maintenance electric discharge pulse number of the maintenance electric discharge process of other subframes.

[Claim 5] The maintenance electric discharge pulse number of two maintenance electric discharge processes of the aforementioned longest subframe of the aforementioned maintenance electric discharge process divided according to the aforementioned pause process is the drive method of plasma display equipment according to claim 3 with more maintenance electric discharge pulse number of a next maintenance electric discharge process than the maintenance electric discharge pulse number of a front maintenance electric discharge process.

[Claim 6] The pulse width of the address electric discharge pulse impressed in the aforementioned address process in order to set two or more aforementioned cells as the state corresponding to the indicative data is the drive method of the plasma display equipment according to claim 1 set up according to an address electric discharge percent defective.

[Claim 7] The pulse width of the aforementioned address electric discharge pulse is the drive method of the plasma display equipment according to claim 6 which is 8 microseconds or more.

[Claim 8] The longest subframe of the aforementioned maintenance electric discharge process is the drive

method of the plasma display equipment according to claim 1 arranged next at the degree of the long subframe of a maintenance electric discharge process.

[Claim 9] The longest subframe of the aforementioned maintenance electric discharge process is the drive method of the plasma display equipment according to claim 1 arranged in front of the long subframe of a maintenance electric discharge process next.

[Claim 10] It has the following and the display frame of one screen is constituted from at least one subframe. the aforementioned drive control means (3) The writing which sets two or more aforementioned cells by the aforementioned address means (101 102) as the state corresponding to the indicative data for every subframe, Impression of the aforementioned maintenance electric discharge pulse by the aforementioned maintenance electric discharge means (103 104), It controls to perform the aforementioned complete writing and whole surface self-elimination by the aforementioned resetting means before the aforementioned writing. The time which deducted total of the period of the subframe which constitutes the display frame of the one aforementioned screen from a vertical-synchronization period which the vertical synchronizing signal impressed from the outside directs for every display frame of the one aforementioned screen, In the plasma display equipment controlled to hold to hibernation which does not impress a signal to the aforementioned plasma display panel (100) so that the state of two or more aforementioned cells may not be changed Plasma display equipment characterized by preparing the aforementioned hibernation in the maintenance electric discharge process of one of subframes so that the maintenance electric discharge process of the subframe concerned may be divided into two. The plasma display panel which has two or more cells which perform an electroluminescence alternatively (100) An address means to set two or more aforementioned cells as the state corresponding to the indicative data (101 102) The maintenance electric discharge means made to emit light according to the state where impressed the maintenance electric discharge pulse to two or more aforementioned cells, and two or more aforementioned cells were set up (103 104) The resetting means which perform complete writing and whole surface self-elimination, the aforementioned address means (101 102) and the aforementioned maintenance electric discharge means (103 104), and drive control means which control the aforementioned resetting means (3)

[Claim 11] The aforementioned hibernation is written plasma display equipment to the claim 10 prepared in most subframes of the aforementioned maintenance electric discharge pulse number impressed by the aforementioned maintenance electric discharge means.

[Claim 12] The maintenance electric discharge pulse number of two maintenance electric discharge pulse impression periods prepared and divided so that the aforementioned hibernation might divide the aforementioned maintenance electric discharge pulse impression period into two in most aforementioned subframes of the aforementioned maintenance electric discharge pulse impressed is plasma display equipment according to claim 10 which is not zero.

[Claim 13] The sum of the maintenance electric discharge pulse number of two maintenance electric discharge pulse impression periods of most aforementioned subframes of the aforementioned maintenance electric discharge pulse which was divided by the aforementioned hibernation and which is impressed is plasma display equipment according to claim 12 which is a predetermined ratio to the maintenance electric discharge pulse number of the maintenance electric discharge pulse impression period of other subframes.

[Claim 14] The maintenance electric discharge pulse number of two maintenance electric discharge pulse impression periods of most aforementioned subframes of the aforementioned maintenance electric discharge pulse which was divided by the aforementioned hibernation and which is impressed is plasma display equipment according to claim 12 with more [pulse number / maintenance electric discharge / of a last maintenance electric discharge pulse impression period] maintenance electric discharge pulse number of a next maintenance electric discharge pulse impression period.

[Claim 15] The pulse width of the address electric discharge pulse impressed in order to set two or more aforementioned cells as the state corresponding to the indicative data by the aforementioned address means is plasma display equipment according to claim 10 set up according to an address electric discharge percent defective.

[Claim 16] The pulse width of the aforementioned address electric discharge pulse is plasma display

equipment according to claim 15 which is 8 microseconds or more.

[Claim 17] Most subframes of the aforementioned maintenance electric discharge pulse impressed are plasma display equipment according to claim 10 arranged at the degree of a subframe with many aforementioned maintenance electric discharge pulses to a degree impressed.

[Claim 18] Most subframes of the aforementioned maintenance electric discharge pulse impressed are plasma display equipment according to claim 10 arranged in front of a subframe with many aforementioned maintenance electric discharge pulses to a degree impressed.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] In recent years, in various display units, diversification of the information which should be displayed, or installation conditions, big-screen-izing, and highly-minute-izing are remarkable. Therefore, improvement in display quality is called for that it should correspond to these fluorescence in display, such as a plasma display panel (PDP is called hereafter.) used for these, CRT, LCD and EL, a fluorescent display, and light emitting diode.

[0002] Development is briskly performed recently from PDP having the feature which was excellent in high brightness and long lasting ** with easy big-screen-izing without a flicker among the above-mentioned display. There are 2 electrode type which performs selection electric discharge (address electric discharge) and maintenance electric discharge by two electrodes, and a 3 electrode type which performs address electric discharge using the 3rd electrode in PDP. Although the fluorescent substance formed in the electric discharge cell by the ultraviolet rays generated by electric discharge is excited in the color PDP which performs a gradation display, this fluorescent substance has the fault of being weak in the shock of the ion which is the positive charge simultaneously generated by electric discharge. In the above-mentioned 2 electrode type, since it has the composition that a fluorescent substance hits ion directly, there is a possibility of causing the life fall of a fluorescent substance. In order to avoid this, generally in the color PDP, 3 electrode structures where field electric discharge was used are used. Furthermore, also in this 3 electrode type, it may arrange to the case where the 3rd electrode is formed in the 1st which performs maintenance electric discharge, and the substrate by which the 2nd electrode is arranged, and another substrate which counters. Moreover, even when forming three sorts of aforementioned electrodes in the same substrate, the 3rd electrode may be arranged to the case where the 3rd electrode is arranged on two electrodes which perform maintenance electric discharge, and the bottom of it. Furthermore, the case (penetrated type) where penetrate the fluorescent substance and the light emitted from the fluorescent substance is seen, and the reflection from a fluorescent substance may be seen. Moreover, as for the cell which discharges, the spatial combination with a contiguity cell is cut off by the obstruction (a rib, barrier). This obstruction may be formed only in the case where it is prepared on all sides and sealed completely, and one side so that an electric discharge cell may be surrounded, and combination may be cut by rationalization of a gap (distance) inter-electrode in another side.

[0003] this invention is the plasma display panel (Plasma Display Panel-DP) of which the above-mentioned method. It is applicable.

[0004]

[Description of the Prior Art] As mentioned above, although this invention is applicable to any composition, it is the panel which formed the 3rd electrode in the substrate other than the substrate of the electrode which performs maintenance electric discharge which counters, and the reflected type with which an obstruction is formed only perpendicularly (it is got blocked, intersects perpendicularly with the 1st electrode and the 2nd electrode, and parallel to the 3rd electrode), and a part of maintenance electrode is formed of the transparent electrode is explained as an example here.

[0005] As PDP of above-mentioned 3 electrodes and field electric discharge, the thing as shows the outline plan to drawing 11 is known. Moreover, drawing 12 is a rough cross section (perpendicular direction)

in one electric discharge cell of the panel of drawing 11 , and drawing 13 is a horizontal rough cross section similarly. In addition, suppose that the same reference number is given and expressed with the same functional division in drawing shown below.

[0006] The panel is constituted by two glass substrates 21 and 29. The 1st substrate 21 is equipped with the 1st electrode (X electrode) 12 and the 2nd electrode (Y electrode) 13 which are a parallel maintenance electrode, and these electrodes are constituted by transparent electrodes 22a and 22b and the bus electrodes 23a and 23b. Since a transparent electrode has the role which makes the reflected light from a fluorescent substance penetrate, it is formed of ITO (the transparent conductor which makes indium oxide a principal component film) etc. Moreover, in order that a bus electrode may prevent the sag by electric resistance, it is necessary to form it by low resistance, and it is formed of Cr (chromium) or Cu (copper). Furthermore, they are covered with a dielectric layer (glass) 24, and the MgO (magnesium oxide) film 25 is formed in an electric discharge side as a protective coat. Moreover, the 3rd electrode (address electrode) 13 is formed in the 2nd substrate 29 which faces the 1st glass substrate 21 in the form which intersects perpendicularly with a maintenance electrode. Moreover, an obstruction 14 is formed in address inter-electrode, and the fluorescent substance 27 which has the luminescence property of red-green and blue for an address electrode with a wrap form is formed between the obstruction. Two glass substrates are assembled in the form which the ridge and the MgO side 25 of an obstruction 14 stick. The space between a fluorescent substance 27 and the MgO side 25 is discharge space 26.

[0007] Moreover, drawing 14 is the rough block diagram having shown the circumference circuit for driving PDP shown in drawing 14 from drawing 12 . The address electrode 13-1, 13-2, and -- are connected to the address driver 101 for [every], and the address pulse at the time of address electric discharge is impressed by the address driver. Moreover, the Y electrode 11-1, 11-2, and -- are connected to Y electrode driver 102. Y electrode driver 102 is connected to Y common RAIBA 103, the pulse at the time of address electric discharge is generated from Y electrode driver 102, it generates in the Y common driver 103, and a maintenance pulse etc. is impressed to Y electrode via Y electrode driver 102. The X electrode 12 covers all the display lines of a panel, and it connects in common and it is taken out. The X common driver 104 generates a write-in pulse, a maintenance pulse, etc. These driver circuits are controlled by the logic section 1, and the logic section 1 is controlled by the synchronizing signal and indicative-data signal which are inputted from the exterior of equipment. Furthermore, it has the internal electrical power source 40 which generates various kinds of voltage, such as a high voltage and negative voltage, and the high-pressure control section 41 which controls the impression to each driver circuit of the various voltage generated in an internal electrical power source 40 is formed based on the control signal from the logic section 1. EPROM39 is the memory which memorizes the information about the pattern and maintenance pulse number of a drive wave, and the logic section 1 is beginning to read the data memorized by EPROM39 one by one, and generates various kinds of control signals.

[0008] The logic section 1 is equipped with the indicative-data control circuit section 31 and the panel drive control section 34, the frame memory section 32 and the frame memory control circuit section 33 are further formed in the indicative-data control circuit section 31, and the timing generating section 35, the address driver control section 36, the scanning driver 37, and the common driver control section 38 are formed in the panel drive control section 34.

[0009] Usually, the gradation display by PDP makes each bit of an indicative data correspond to a subframe period, and is performed by changing the length of a subframe period according to weighting of a bit. For example, in performing 256 gradation displays, an indicative data is expressed with 8 bits, performs the display of one frame in eight subframe periods, and displays each bit data in each subframe period. The length of a subframe period is 1:2:4:8:16:32:64: [128] . The indicative data supplied from the outside is the form which the gradation data of each pixel generally followed, since it cannot change to the form of a subframe if it remains as it is, it once memorizes the indicative data supplied from the outside to a frame memory 32, is read according to the form of a subframe in the following cycle, and is supplied to the address driver 101. The frame memory control circuit section 33 controls such operation based on the timing signal from the timing generating section 35. The address driver control section 36, the scanning

driver 37, and the common driver control section 38 generate the control signal which controls the address driver 101, and the scanning driver 102, X and the Y common drivers 103 and 104 based on the data read from EPROM39. The control signal outputted from the address driver control section 36, the scanning driver 37, and the common driver control section 38 is supplied to the address part 42, the X section 43, and the Y section 44 of the high-pressure control section 41, chooses the various voltage from an internal electrical power source 40 there, and is impressed to each driver circuit.

[0010] Drawing 15 is the wave form chart showing the conventional method of driving by the circuit which showed PDP shown in drawing 13 from drawing 11 to drawing 14, and shows 1 subframe period in so-called conventional "address / maintenance conducting period discrete type, and write-in address system." One subframe is divided into a reset period, an address period, and also a maintenance conducting period in this example. In a reset period, first, all Y electrodes are made into 0V level, simultaneously, the complete write-in pulse which becomes X electrode from voltage V_s+V_w (about 330 V) is impressed, and electric discharge is performed in all the cells of all display lines irrespective of the display state till then. The address electrode potential at this time is about 100V (V_{aw}). Next, the potential of X electrode and an address electrode is set to 0V, the voltage of the wall charge itself exceeds breakdown voltage in all cells, and electric discharge is started. Since this electric discharge does not have the inter-electrode potential difference, a wall charge is not formed, space charge carries out self-neutralization and electric discharge ceases. It is the so-called self-elimination electric discharge. By this self-elimination electric discharge, the state of all the cells in a panel will be in the uniform state where there is no wall charge. This reset period has the operation which changes all cells into the same state irrespective of the lighting state of a front subframe, and it is performed in order to enable it to perform the next address (writing) electric discharge stably.

[0011] Next, in an address period, in order to perform ON/OFF of the cell according to the indicative data, address electric discharge is performed by line sequential. First, while impressing the scanning pulse of $-V_Y$ level (abbreviation minus 150V) to Y electrode, the address pulse of voltage V_a (about 50 V) is alternatively impressed to the address electrode corresponding to the cell which causes maintenance electric discharge among address electrodes, i.e., the cell made to turn on, and electric discharge occurs between the address electrode of the cell made to turn on, and Y electrode. Next, it shifts to X electrode (voltage $V_x=50V$) and Y inter-electrode electric discharge immediately by making this into a priming (pilot flame). The former electric discharge is called "priming address electric discharge", and the latter is called "main address electric discharge." Thereby, the wall charge of the amount in which maintenance electric discharge is possible is accumulated to the MgO side on X electrode of the selection cell of a selection line, and Y electrode.

[0012] Hereafter, one by one, about other display lines, same operation is performed and the writing of a new indicative data is performed in all display lines. Then, if it becomes a maintenance conducting period, the maintenance pulse whose voltage is V_s (about 180 V) by turns will be impressed to Y electrode and X electrode, maintenance electric discharge will be performed, and image display of one subframe will be performed. Under the present circumstances, in order to avoid electric discharge an address electrode, X electrode, or Y inter-electrode, the voltage V_{aw} of about 100 V is impressed to an address electrode. In addition, brightness is determined by the merits and demerits of a maintenance electric discharge term, i.e., the number of times of a maintenance electric discharge pulse, in starting "the address / maintenance electric discharge discrete type, and the write-in address system."

[0013] Suppose that the drive method in the case of performing 256 gradation displays is specifically shown in drawing 16 as an example of a multi-gradation display. One frame is classified into four subframe:SF1-SF4 in this example. And in these subframes SF1-SF4, a reset period and an address period serve as respectively same length. Moreover, the length of a maintenance conducting period serves as a ratio of 1:2:4:8:16:32:64:128. Therefore, the difference in the brightness of 16 gradation from 0 to 15 can be displayed by choosing the subframe made to turn on.

[0014] The stage of the gradation which can be displayed is determined by the number of a subframe, and if the number of subframes is one and the brightness of two gradation is eight pieces, it can display the

brightness of 256 gradation. The status signal supplied to PDP equipment is signal same with CRT etc. being supplied, and is a data signal which synchronized with the vertical synchronizing signal Vsync, the horizontal synchronizing signal Hsync, and the dot clock. With PDP equipment, it is called for that a period can respond to the vertical synchronizing signal Vsync of the predetermined range like CRT etc. Then, total of the period of a subframe is made shorter than the period of one frame, an idle period is prepared in each frame, and it enables it to correspond to the chronotropism of a vertical synchronizing signal Vsync with PDP equipment, by changing the width of face of this idle period according to the chronotropism of a vertical synchronizing signal Vsync, as shown in drawing 16 . In an idle period, a signal is not impressed to the display panel 100 of PDP equipment, but the last state is held as it is. Therefore, a display is not influenced even if it changes an idle period. Conversely, since an idle period is a period which does not contribute to a display, its thing short as much as possible is desirable, and it is set up in the range which can respond to the chronotropism of a vertical synchronizing signal Vsync as short as possible.

[0015]

[Problem(s) to be Solved by the Invention] Although maintenance electric discharge is performed by making address electric discharge into a priming with PDP equipment, the probability, i.e., address electric discharge poor probability, that the fault to which address electric discharge is not normally carried out by whether maintenance electric discharge was performed before address electric discharge will arise changes. For example, although one frame which forms one screen is constituted from PDP equipment as mentioned above by some subframes (SF is called hereafter.) from which a maintenance conducting period differs, respectively in order to perform a gradation display, in making the cell which was not turned on in SF till then choose and turn on, address electric-discharge poor probability becomes high compared with the case where the cell continuously turned on from SF in front of it is made to choose and turn on. This is for pre-maintenance electric discharge to influence a priming.

[0016] Table 1 is a table showing how the time after maintenance electric discharge of lighting is performed influences address electric discharge poor probability.

[0017]

[Table 1]

表 1 前 SF からの時間的ブライミングの影響とアドレス放電不良確率

パターン	SF 順 (1 フレーム内) (○印は点灯 SF)						SF 6 の アドレス放電 発光強度	SF 6 の アドレス放電 不良確率
	SF 4	SF 2	SF 1	SF 3	SF ⑤	SF ⑥		
a	SF 4	SF 2	SF 1	SF 3	SF ⑤	SF ⑥	4	<div style="text-align: center;"> <small>小</small> ↑ ↓ <small>大</small> </div>
b	SF 4	SF 2	SF ⑤	SF 3	SF 1	SF ⑥	3	
c	SF ⑤	SF 2	SF 1	SF 4	SF 3	SF ⑥	2	
d	SF 4	SF 2	SF 1	SF 3	SF 5	SF ⑥	2	

[0018] Table 1 shows change of the address electric discharge poor probability in SF6 with the longest maintenance conducting period. In order to arrange SF6 at the last of each frame and to make the length of a front maintenance conducting period the same, the position which SF1-SF4 put out the light by turning on only SF5, and arranges SF5 is arranged by Pattern a, by Pattern b, SF1 and SF3 are arranged between SF6 just before SF6, and SF1-SF4 are arranged between SF6 by Pattern c. Furthermore, by Pattern d, all SF other than SF6 of the frame is switched off. Therefore, the period of an astigmatism LGT until the light is chosen and switched on in SF6 becomes the order of Patterns a, b, c, and d. According to this, the luminescence intensity of address electric discharge of SF6 changes, as shown in Table 1, and address electric discharge poor probability increases in order of Patterns a, b, c, and d. That is, it can be said that the luminescence intensity of address electric discharge falls and increases address electric

discharge poor probability, so that the time from the maintenance electric discharge before it becomes long. [0019] Therefore, the priming effect by maintenance electric discharge of SF5 is not fully given to address electric discharge of SF6, but the probability it becomes poor address discharging becomes high as SF5 keeps away from SF6 in time when six SF is prepared as a multi-gradation display, and SF6 and SF5 in front of it are made to turn on. If address discharging becomes poor, the fault of a lighting cell blinking which it stops displaying normally will occur.

[0020] Although Table 1 showed how the time after maintenance electric discharge of lighting is performed would influence address electric discharge poor probability, even if the time after maintenance electric discharge of lighting is performed is the same, the length of the maintenance conducting period influences address electric discharge poor probability. Table 2 is a table having shown how the length of a front maintenance conducting period would influence address electric discharge poor probability.

[0021]

[Table 2]

表 2 前SFの維持放電パルス数によるブライミングの影響とアドレス放電不良確率

パターン	SF順 (1フレーム内) 〔○印は点灯SF〕						SF6の 1フレーム放電 発光強度	SF6の 1フレーム放電 不良確率
	SF4	SF2	SF1	SF3	SF⑤	SF⑥		
e	SF4	SF2	SF1	SF3	SF⑤	SF⑥	4	<div> <div>小</div> <div>↑</div> <div>↓</div> <div>大</div> </div>
f	SF5	SF2	SF1	SF4	SF③	SF⑥	3	
g	SF4	SF2	SF5	SF3	SF①	SF⑥	2	
h	SF4	SF2	SF1	SF3	SF5	SF⑥	2	

[0022] Table 2 also shows change of the address electric discharge poor probability in SF6 with the longest maintenance conducting period. SF6 is arranged at the last of each frame, arranges SF5 by Pattern e just before it, turns on only SF5, arranges SF3 by Pattern f just before it, turns on only SF3, by Pattern g, it arranges SF1 just before it, turns on only SF1, and switches off all SF by Pattern h. Therefore, the period of an astigmatism LGT until the light is chosen and switched on in SF6 is the same, and the length of the maintenance conducting period turned on in front of it becomes the order of Patterns e, f, g, and h. According to this, the luminescence intensity of address electric discharge of SF6 changes, as shown in Table 2, and address electric discharge poor probability increases in order of Patterns a, b, c, and d. That is, it can be said that the luminescence intensity of address electric discharge falls and increases address electric discharge poor probability, so that the period of the maintenance electric discharge performed immediately before becomes short.

[0023] Therefore, the priming effect by maintenance electric discharge of last SF is not fully given to address electric discharge of SF6, but the probability it becomes poor address discharging becomes high as the maintenance electric discharge pulse number of last SF decreases when six SF is prepared as a multi-gradation display, and SF6 and SF in front of it are made to turn on. Although the idle period for adjusting a synchronization is prepared in one frame as shown in drawing 16, this idle period considers the influence which it has on the address electric discharge poor probability of each SF.

[0024] When the number of subframes is one, drawing 17 is drawing showing the time to the address conducting period of the following frame (frame 2), after the maintenance conducting period in a front frame (frame 1) expires. Like illustration, after the maintenance conducting period in a frame 1 expires, an idle period is contained at the time to the address conducting period of a frame 2, after a maintenance conducting period ends only the part, the time to an address conducting period is long, and a bird clapper is known.

[0025] When one frame consists of two or more subframes, it is a subframe with the longest maintenance

conducting period that influence with such poor address electric discharge becomes the largest, and especially a maintenance conducting period needs to reduce the probability that the address electric discharge by the longest subframe is poor. this invention is made in view of the above-mentioned trouble, reduces the probability that address electric discharge is poor, especially the probability that the address electric discharge by the subframe with the longest maintenance conducting period is poor, and aims at raising display quality.

[0026]

[Means for Solving the Problem] Drawing 1 is drawing explaining the principle of this invention. As shown in drawing 1, in the drive method of the plasma display equipment of this invention, and plasma display equipment, the display frame of one screen is constituted from at least one subframe, and it is characterized by preparing the idle period for adjusting a synchronization in a maintenance conducting period. In drawing 1, the case where the display frame of one screen consists of one subframe is shown, and a subframe is equivalent to the display frame of one screen. A frame 1 and a frame 2 express with drawing 1 two display frames which continued, respectively.

[0027] Namely, the drive method of the plasma display equipment of the 1st mode of this invention The display frame of one screen is constituted from at least one subframe. each subframe The address process which sets two or more cells of a plasma display panel as the state corresponding to the indicative data, The maintenance electric discharge process made to emit light according to the state where impressed the maintenance electric discharge pulse to two or more cells, and two or more cells were set up, It has the reset process which performs complete writing and whole surface self-elimination before an address process. The time which deducted total of the period of the subframe which constitutes the display frame of one screen from a vertical-synchronization period which the vertical synchronizing signal impressed from the outside directs for every display frame of one screen, In the drive method of plasma display equipment equipped with the pause process holding the state where a signal is not impressed to a plasma display panel so that the state of two or more cells may not be changed, a pause process is characterized by being prepared in the maintenance electric discharge process of one of subframes.

[0028] As for the subframe which establishes a pause process, it is desirable that it is the subframe which has the longest maintenance electric discharge process. It is made for the maintenance electric discharge pulse number of two maintenance electric discharge processes established and divided so that a pause process might divide the maintenance electric discharge process of a subframe into two in the longest subframe of a maintenance electric discharge process not to be zero.

[0029] The sum of the maintenance electric discharge pulse number of two maintenance electric discharge processes of the longest subframe of the maintenance electric discharge process divided according to the pause process is a predetermined ratio to the maintenance electric discharge pulse number of the maintenance electric discharge process of other subframes. The maintenance electric discharge pulse number of two maintenance electric discharge processes of the longest subframe of the maintenance electric discharge process divided according to the pause process is set up so that more mostly [the maintenance electric discharge pulse number of a next maintenance electric discharge process] than the maintenance electric discharge pulse number of a front maintenance electric discharge process.

[0030] In an address process, the pulse width of the address electric discharge pulse impressed in order to set two or more cells as the state corresponding to the indicative data is set up according to an address electric discharge percent defective. The pulse width of an address electric discharge pulse is 8 microseconds or more. Next, the longest subframe of a maintenance electric discharge process is arranged to the degree of the long subframe of a maintenance electric discharge process.

[0031] Next, the longest subframe of a maintenance electric discharge process is arranged before the long subframe of a maintenance electric discharge process. As compared with the conventional example of drawing 17, as the drive method of the plasma display equipment of this invention and plasma display equipment are shown in drawing 1, an idle period is prepared into a maintenance conducting period, so that clearly. The influence of the priming given to the address electric discharge maintenance electric discharge is performed [electric discharge] to a degree becomes so strong that the time from the maintenance

electric discharge to address electric discharge is short, and can mitigate poor address electric discharge. Since the interval of a maintenance conducting period and an address conducting period is lost by the idle period in a conventional example like drawing 17 in the case of the drive sequence which has a long idle period, a priming effect becomes weak. On the other hand, with the drive method of this invention, and equipment, in order to prepare an idle period into a maintenance conducting period, an idle period does not influence at the time by the next address period, after a maintenance conducting period expires, but the interval of a maintenance conducting period and an address conducting period becomes that much short. Therefore, the priming effect over the next address electric discharge by pre-maintenance electric discharge becomes large, and poor address electric discharge is prevented or mitigated. Although electric discharge is interrupted for the maintenance conducting period in which an idle period is prepared, an idle period does not cause poor electric discharge.

[0032]

[Embodiments of the Invention] Since it has composition similar to the composition shown in drawing 14 and only the composition of the panel drive control section 34 differs, the PDP equipment of the example of this invention explains the same portion as the former briefly. All the information about the drive wave in this example is memorized by the rewritable memory (EPROM) 39. The information memorized is the information which shows a drive wave, and information which shows a maintenance electric discharge pulse number. In order to cut down storage capacity, in the portion (an address pulse and maintenance electric discharge pulse) in which the same wave is repeated, it repeats, reads and comes out and is made to carry out the data in which the same drive wave is shown.

[0033] If the trigger signal of Vsync is inputted into the panel drive control section 34, the panel drive control section 34 will start read-out for the data of ROM39. The address driver control section 36 of the panel drive control section 34, the scanning driver control section 37, and the common driver control section 38 generate a control signal according to the data of ROM39, and output it to the high-pressure control section 41. Various voltage required for a drive is supplied to the high-pressure control section 41 from an internal electrical power source 40, and the output driver of the high-pressure pulse prepared in the interior according to the control signal is controlled. The high-pressure pulse outputted from here is supplied to each driver.

[0034] Drawing 2 is the block diagram showing the composition of the panel drive control section 34 in the 1st example, and drawing 3 shows arrangement of the idle period in the 1st example. As shown in drawing 3, in the 1st example, the number of subframes is one. In drawing 2, since the address pulse of a predetermined number is generated in an address period, the Y counter 52, a comparator circuit 53, and the number register 54 of Y electrodes are portions which detect that only the predetermined number repeated and read the same portion of a wave ROM 39. Since the maintenance electric discharge pulse of a predetermined number is generated in the maintenance conducting period in the first half of the inside divided into two, the rise counter 55, a comparator circuit 56, and the maintenance electric discharge wave number register 57 are portions which detect that only the predetermined number repeated and read the same portion of a wave ROM 39. Similarly, since the maintenance electric discharge pulse of a predetermined number is generated in the maintenance conducting period in the second half of the inside divided into two, the rise counter 58, a comparator circuit 59, and the maintenance electric discharge wave number register 57 are portions which detect that only the predetermined number repeated and read the same portion of a wave ROM 39. The idle-period control circuit 61 is a portion which controls an idle period.

[0035] The Y counter 52 is cleared by zero by receiving a reset signal. The Y counter 52 counts the scan line at the time, and outputs the count result to a comparator circuit 53. In a comparator circuit 53, the input value from the Y counter 52 is compared with the number of Y electrodes which was memorized by the number register 54 of Y electrodes and which was set up beforehand, and if both become equal, the terminate signal of an address period will be outputted to the wave ROM control circuit 51.

[0036] Next, if it goes into a part for the first portion of a maintenance conducting period, the rise counter 55 will be cleared by zero by receiving a reset signal. The rise counter 55 counts the maintenance electric

discharge wave number at the time, and outputs the count result to a comparator circuit 56. In a comparator circuit 56, the input value from the rise counter 55 is compared with the maintenance electric discharge wave number for the first portion which was memorized by the maintenance electric discharge wave number register 57 and which was set up beforehand, and if both become equal, the terminate signal of the first portion of a maintenance conducting period will be outputted to the wave ROM control circuit 51.

[0037] If it goes into an idle period, a reset signal will go into the idle-period control circuit 61 from the timing generating section, and the idle-period control circuit 61 will output the signal which shows an idle period to the wave ROM control circuit 51. If Vsync is inputted into the idle-period control circuit 61, the idle-period control circuit 61 will suspend the output of the signal which shows an idle period, and, thereby, will end an idle period.

[0038] If it finally goes into the maintenance conducting period of the second half, the same control as the maintenance conducting period of the first half will be performed. Here, it compares with the conventional drive method shown in drawing 17. The idle period which does not output a drive wave is inserted until the next Vsync comes by the conventional drive method after performing complete writing and elimination, address electric discharge, and maintenance electric discharge, at the same time the trigger signal of Vsync comes.

[0039] On the other hand, the maintenance electric discharge alpha 2 of the second half which it left when the drive sequence was made to stop, it went into the idle period and the next Vsync came by the maintenance conducting period of this example of drawing 3, after having performed maintenance electric discharge alpha 2 in the second half of front SF, performing complete writing and elimination, and address electric discharge next and performing maintenance electric discharge alpha 1 of the first half further, while the trigger signal of Vsync came is carried out. Here, $\alpha 1 + \alpha 2$ are the same length as the conventional maintenance conducting period. Therefore, the length of an idle period performs the work for changing and adjusting a synchronization to Vsync of a different period with the period of Vsync, as usual.

[0040] In the 1st example, although the number of a subframe was one piece, the 2nd example shows an example in case there are two or more subframes. In the 2nd example, the circuit of drawing 2 is used like the 1st example, and the circuit which controls the number of the subframe in one frame further shown in drawing 4 is prepared further. Moreover, drawing 5 is drawing showing arrangement of the idle period in the 2nd example. As shown in drawing 5, the subframe by which an idle period is inserted in a maintenance conducting period is the last subframe.

[0041] Operation by each subframe in the 2nd example is the same as that of the 1st example fundamentally, and although the idle-period control circuit 61 is operated when going into an idle period in SF which inserts an idle period into a maintenance conducting period, in SF which does not insert an idle period into a maintenance conducting period, it differs in that the idle-period control circuit 61 is not operated. Moreover, in the circuit shown in drawing 4, if Vsync is inputted, the SF counter 71 will be cleared and the SF counter 71 will start the count of a subframe. The counted value of the SF counter 71 is outputted to a comparator circuit 72, and is compared with the number of subframes which constitutes one frame memorized by the number register 73 of SF. If the number of subframes from which the SF counter 71 constitutes one frame is counted and two values are in agreement, a comparator circuit 72 will output the frame terminate signal which shows that the frame was completed.

[0042] Maintenance electric discharge alpha 2 in the second half of front SF is performed at the same time the trigger signal of Vsync comes also by the 2nd example, as shown in drawing 5. Therefore, the length of an idle period performs the work for changing and adjusting a synchronization to Vsync of a different period with the period of Vsync, as usual. Also in this case, $\alpha 1 + \alpha 2$ are equal to the conventional maintenance conducting period of SFn.

[0043] When one frame consists of two or more subframes, the subframe which inserts an idle period does not need to be the last subframe of a frame. Then, the example which inserts an idle period in subframes other than the last subframe is shown in the 3rd example. In the 3rd example, the circuit of drawing 2 and drawing 4 is used like the 1st example, and the idle-period control circuit further shown in drawing 6 is

used. Moreover, drawing 7 is drawing showing arrangement of the idle period in the 3rd example.

[0044] As shown in drawing 7, in the 3rd example, complete writing and elimination, address electric discharge, and maintenance electric discharge are performed one by one in SF other than SF (n-k) of middle SF. Only in middle SF (n-k), when maintenance electric discharge alpha 1 is performed in the first half, it goes into an idle period, and maintenance electric discharge alpha 2 of the second half which it left to the degree is performed. Since operation by the circuit of drawing 2 and drawing 4 is the same, explanation is omitted here.

[0045] In operation of the circuit of drawing 6, one frame consists of four subframes, and the case where four subframes are set to SF4, SF3, SF2, and SF1 at descending (long order of a maintenance conducting period) of brightness is explained. Vsync is inputted and operation which was explained from SF1 until now is started. If operation about all SF is completed, it will go into an idle period a. And the pause counter 81 is operated and an idle period is counted. When Vsync is inputted again, the value N of the pause counter 81 is memorized to a register 82. At this time, in order not to amend, N is inputted into a comparator 83 as it is.

[0046] The drive of SF1 of the following frame is started simultaneously with it, and the drive of SF2 is performed similarly. And in SF3 which inserts an idle period, maintenance electric discharge of the maintenance electric discharge wave number is performed the first half in which it was set beforehand. It goes into an idle period b after that. And an idle period is counted in the pause counter 85. If the value becomes equal to the value N which is inputted into Comparator A and inputted from an adding and subtracting circuit 83, an idle-period terminate signal will be outputted to the ROM control circuit 51 from a comparator 84, and maintenance electric discharge in the second half of SF3 will be performed.

[0047] The next Vsync is due to enter almost as soon as maintenance electric discharge of the last of SF4 ends. Although it will operate as it is if there is no gap in this schedule, when the time of maintenance electric discharge of the last of SF4 being completed and Vsync shift, since the period of Vsync and a gap arise, the following operation is performed by the present idle period. The period of a of illustration is counted by the Vsync counter 86 after the maintenance electric discharge end of the last of SF4 until Vsync enters. Although Vsync entered, when a drive wave is not completed on the other hand, the period of b of illustration is counted by the drive counter 87. Since these both a and b value is equivalent to the gap when changing Vsync, a part for the gap is inputted into an adding and subtracting circuit 83 via comparator 88 **. As a value amended to length N of the idle period counted first, $N \times L$ is inputted into a comparator 84 and an idle period is further determined in the next Vsync based on this value. Thus, it is possible to make it operate, maintaining the length of an idle period b, when the gap with Vsync arises.

[0048] In the 1st to 3rd example, as explained above, since it is lost that an idle period is added to the period from pre-maintenance electric discharge to the next address electric discharge, this period can be shortened and the priming effect which maintenance electric discharge of front SF gives to address electric discharge can be enlarged. In performing a multi-gradation display, in order to express the brightness of gradation which has set the number of maintenance electric-discharge waves that the ratio of the length of a maintenance conducting period turns into 1:2:4:-- and a fixed ratio, and is different by the difference in the number of maintenance electric-discharge waves and to perform an exact gradation display, even when an idle period is inserted into a maintenance conducting period even if, in the total of the divided number of maintenance electric-discharge waves, it must be before and after division and it must be equal. Therefore, the total with alpha1 and alpha2 maintenance electric discharge waves of two maintenance conducting periods divided by the idle period is equal to the number alpha of maintenance electric discharge waves of the maintenance conducting period before division.

[0049] Its larger one is good as it is made alpha2 in order to enlarge this priming effect, since alpha 2 maintenance electric discharge waves in the second half of the maintenance conducting period by which the above was divided will give the priming effect to the next address electric discharge. That is, it is desirable to set up so that it may be set to $\alpha_1 < \alpha_2$. However, since a possibility that the priming effect which address electric discharge gives to maintenance electric discharge may become weaker, and maintenance electric discharge cannot be normally performed since it will go into an idle period after

address electric discharge and the time from address electric discharge to maintenance electric discharge will become long, if alpha 1 maintenance electric discharge wave of the first half is completely made into zero is, it is not desirable in carrying out alpha 1 maintenance electric discharge wave of the first half to zero.

[0050] As mentioned above, if the idle period for hold control is set up in a maintenance conducting period, although an idle period does not spoil a priming effect and address electric discharge poor probability can be reduced, address electric discharge poor probability is influenced according to other factors. One of the factors is address electric discharge pulse width. Drawing 8 is drawing showing the relation between address electric discharge pulse width and address electric discharge poor probability. It turns out that address electric discharge poor probability is small as address electric discharge pulse width becomes large so that clearly from drawing. And when address electric discharge pulse width exceeds T_s in a fixed value and drawing 8, it turns out that address electric discharge poor probability becomes an almost fixed value, and it is saturated. Therefore, when performing the drive method of plasma display equipment of preparing an idle period into a maintenance conducting period, address electric discharge poor probability can be mitigated by setting address electric discharge pulse width as sufficient value T_s in consideration of address electric discharge poor probability.

[0051] When preparing two or more SF in one frame, that deterioration of the visual display quality by poor address electric discharge is most conspicuous is SF which has the maximum brightness. Therefore, in order to cause sufficient electric discharge to choose and turn on address electric discharge of SF which has the maximum brightness (the longest maintenance conducting period), it is desirable for maintenance electric discharge of SF in front of it to be strong as much as possible, i.e., for it to be SF with many maintenance electric discharge pulse numbers. Then, by preparing SF with big brightness, i.e., big SF of a priming effect, in the degree of the maximum brightness also in the example of Table 2 just before SF which has the maximum brightness so that clearly, the address electroluminescence intensity of SF which has the maximum brightness becomes strong, and deterioration of the visual display quality by poor address electric discharge can be mitigated.

[0052] The above-mentioned arrangement is effective when arranging an idle period in a maintenance conducting period. Drawing 9 is drawing showing arrangement of the idle period in the 4th example. As shown in drawing 9, in the 4th example, before SF6 which has the longest maintenance conducting period, next long SF5 of a maintenance conducting period is arranged, and an idle period is prepared at the maintenance conducting period of SF6. Since poor address electric discharge of big SF6 of the contribution of the priming effect by the maintenance conducting period of thereby comparatively big SF5 to display quality is reduced, display quality can be improved.

[0053] Moreover, drawing 10 is drawing showing arrangement of the idle period in the 5th example. In the 5th example, after SF6 which has the longest maintenance conducting period, next long SF5 of a maintenance conducting period is arranged, and an idle period is prepared at the maintenance conducting period of SF6. In order to raise display quality, it is necessary to reduce poor address electric discharge also about SF which has not only SF of the maximum brightness but comparatively big brightness, and in the 5th example, the priming effect of SF of the maximum brightness is utilized effectively, and, next, deterioration of the visual display quality by poor address electric discharge of SF with big brightness is reduced.

[0054]

[Effect of the Invention] Although it was difficult to make poor address electric discharge low enough since the idle period prepared in synchronizing lengthened time from maintenance electric discharge of a front subframe to address electric discharge of the following subframe conventionally Since an idle period does not influence at the time from maintenance electric discharge of a front subframe to address electric discharge of the following subframe according to this invention, poor address electric discharge can be prevented or mitigated, and the display quality of PDP equipment can be raised. Moreover, this invention has few subframes and its PDP equipment with a longer idle period is especially more effective. And since this invention can be performed only by change of the content of ROM and change of the some of a panel

- drive control section which memorized the drive wave, it can be said that there is almost no increase in cost over the conventional example.

[Translation done.]